

**BACCALAUREAT SCIENCES ET TECHNOLOGIES
INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Etude des systèmes techniques industriels

**MACHINE A COMMANDE NUMERIQUE
3 AXES**

Partie électronique :

- **Questions : C1 à C8**

I. Questions relatives à l'analyse fonctionnelle (dossier : A1 à A7)

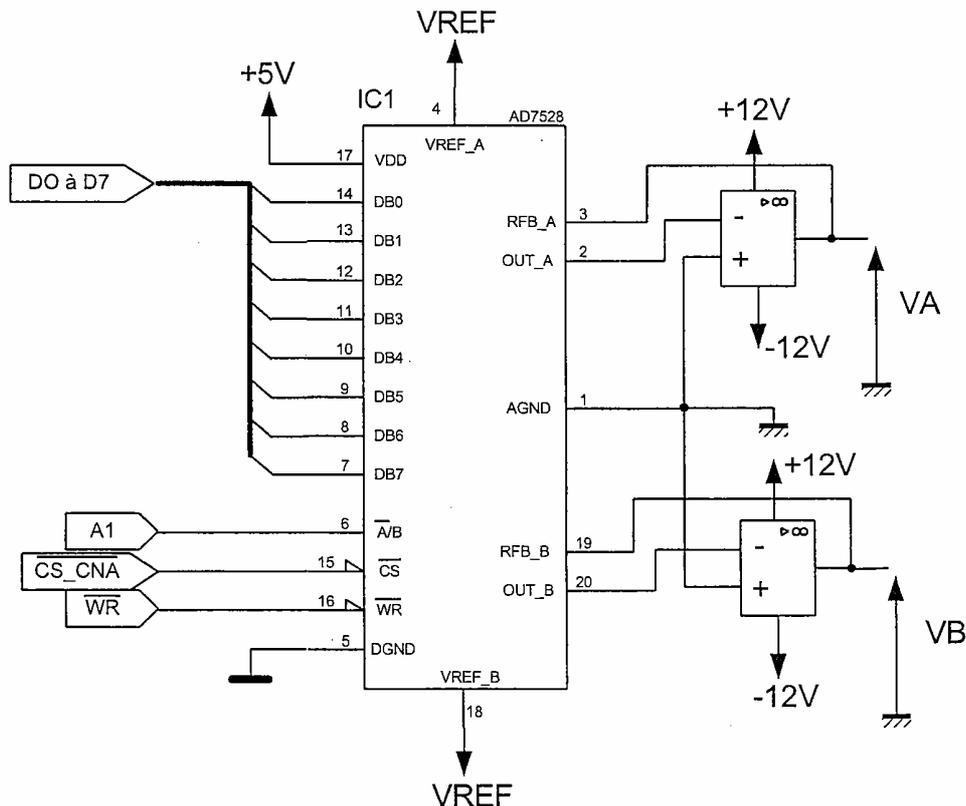
- Q1- Donner les avantages de la gravure mécanique par rapport à la gravure chimique.
- Q2- Quel type de moteur est utilisé pour les déplacements de l'outil ?
Quel type de moteur est utilisé pour la rotation de la broche ?
- Q3- Justifier ce choix technologique par rapport à la spécificité de chaque moteur et la fonction qu'il doit remplir.
- Q4- Donner la nature des informations échangées entre la machine et l'ordinateur.
Préciser les caractéristiques de cette liaison :
- sens de circulation des données.
 - type de transmission.

II. Étude de FP2 : commande des moteurs pas à pas

II.1. Étude de FS21 : conversion numérique analogique deux voies.

Pour contrôler le déplacement de l'outil suivant un axe, le microprocesseur doit piloter les 2 phases d'un moteur pas à pas. L'information de commande étant numérique, il faut réaliser une conversion numérique analogique. Le but de cette étude est d'analyser le fonctionnement du convertisseur afin de comprendre comment le commander et calculer les tensions de sortie en fonction du nombre appliqué en entrée.

Schéma structurel de FS21 :



Pour les questions suivantes, on prendra $V_{REF} = 5V$ et on supposera $\overline{CS_CNA} = 0$.

A partir du schéma structurel et de la documentation technique du convertisseur **AD7528** (pages **CAN1** et **CAN2**), répondre aux questions suivantes.

Q5- Expliquer le principe utilisé pour commander deux convertisseurs à partir d'un seul port d'entrée.

Q6- Quel niveau logique faut-il appliquer sur l'entrée \overline{WR} pour charger une valeur à convertir dans un verrou ?

Pour le niveau opposé, comment évoluent les sorties des verrous et des convertisseurs.

Q7- Compléter le **document réponse N°1 (page CR1)** en indiquant le convertisseur chargé (**DAC A** ou **DAC B**) en fonction de l'état du bit **A1**.

On note $N_{bin(10)}$ la valeur décimale du nombre à convertir appliqué sur les entrées **D0** à **D7**.
On notera $N_{bin(2)}$ sa valeur en binaire et $N_{bin(16)}$ sa valeur en hexadécimal.

Q8- Compléter le **document réponse N°2 (page CR1)** en indiquant les nombres hexadécimaux $N_{binDACA(16)}$ et $N_{binDACB(16)}$ présents en entrée de chaque **DAC**.

Q9- Identifier dans le document technique du convertisseur **AD7528** la figure et la table de conversion correspondant à notre application.

Q10- Donner la valeur maximale de $N_{bin(10)}$.

Déduire de la table de conversion l'expression de la tension de sortie **Vout** en fonction de $N_{bin(10)}$.

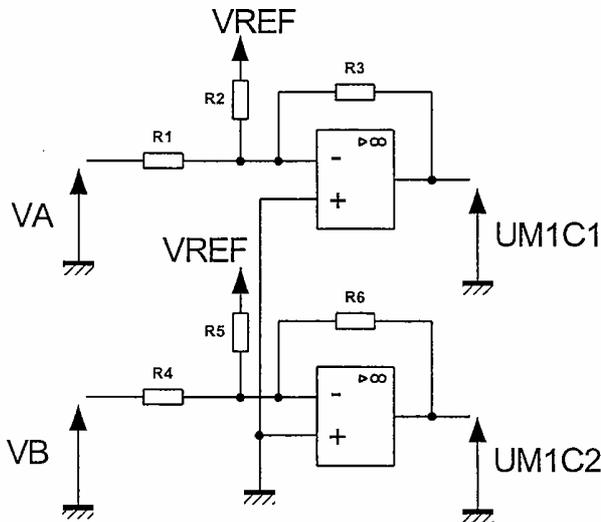
Calculer la résolution en sortie du convertisseur appelée quantum = **1LSB**.

Q11- Compléter sur le **document réponse N°3 (page CR1)** les 4 premières colonnes du tableau.

Q12- Compléter sur le **document réponse N°4 (page CR2)** les chronogrammes des tensions **VA** et **VB** obtenus pour une commande par demi pas du moteur.

II.2. Étude de FS22 : amplification et décalage

Schéma structurel de FS22 :



$$VREF = 5V$$

$$R1 = R4 = 5k$$

$$R5 = R2 = 10k$$

$$R3 = R6 = 20k$$

Q13- Sachant que $UM1C1 = -R3 \left(\frac{VA}{R1} + \frac{VREF}{R2} \right)$

Déduire l'expression de **UM1C2** en fonction de **VB** et **VREF**.

Q14- Effectuer l'application numérique et compléter les valeurs de UM1C dans le tableau du **document réponse N°3 (page CR1)**.

Q15- Compléter sur le **document réponse N°4 (page CR2)** les chronogrammes des tensions **UM1C1** et **UM1C2**.

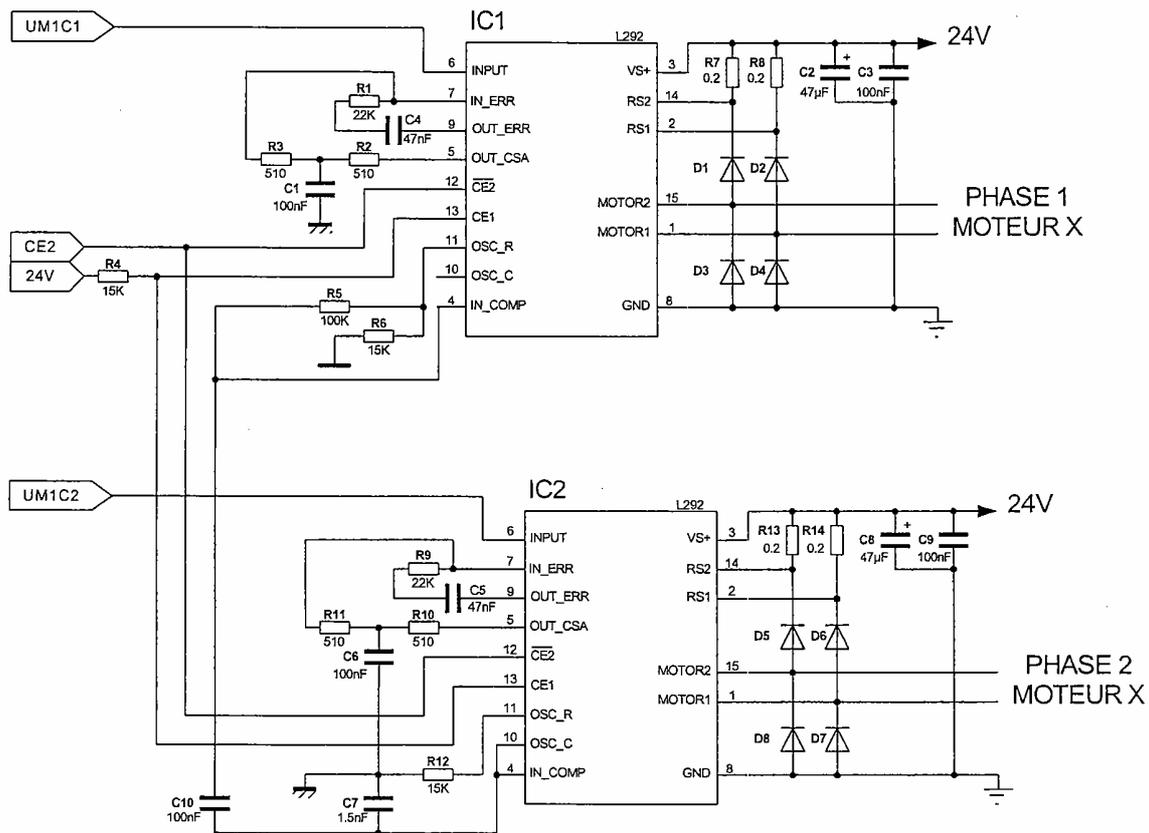
Q16- Conclure sur le rôle de la fonction **FS22**.

II.3. Etude de FS23 : amplification de puissance

Pour amener le rotor d'un moteur pas à pas dans une position donnée, il faut créer un champ magnétique qui dépend du courant électrique dans chaque enroulement ou phase. La grandeur électrique importante dans la commande d'un enroulement de moteur pas à pas est donc l'intensité du courant électrique qui, dans notre application, doit être proportionnelle à la tension **UM1C**.

Le passage d'une position à l'autre (avance d'un pas) du rotor est obtenu par commutation de courant dans les enroulements. Or le circuit électrique d'un moteur pas à pas est composé de bobinages : il est donc inductif. Le schéma équivalent d'un enroulement est donc un circuit **RL** : association en série d'une résistance **R** et d'une inductance **L**. Pour avoir un couple mécanique le plus régulier possible (sans tremblement du rotor) et pour pouvoir travailler avec des vitesses de rotation les plus élevées possibles, on cherche à réduire la durée des phases d'extinction et d'établissement des courants dans les bobinages moteurs (on veut réduire la durée des régimes transitoires).

Le circuit de commande des enroulements permettant de répondre aux spécifications énoncées précédemment est le suivant :



Il est basé sur l'utilisation d'un CI L292 (voir documentation constructeur page CAN3 et CAN4) pour chaque phase du moteur.

Le principe de commande est le suivant :

C'est le courant moyen I_m d'un enroulement qui est asservi à la tension d'entrée V_i (Broche 6). Le fait d'avoir un système bouclé (avec mesure de courant) assure rapidité et précision. L'alimentation d'un enroulement est assurée par un pont en H avec hacheur de courant. La fréquence du hacheur est celle de l'oscillateur intégré et l'intensité du courant d'enroulement est proportionnelle au rapport cyclique α du signal de hachage.

Q17- Expliquer comment l'étage de sortie du L292 (voir structure interne page CAN4) permet d'avoir une commande bipolaire : le courant dans l'enroulement peut être commuté dans les deux sens ($I_m > 0$ ou $I_m < 0$).

Q18- Donner le rôle des diodes D1 à D4.

Q19- Les oscillateurs des deux L292 sont synchronisés.

Calculer la fréquence de hachage f_{osc} .

En déduire la période de hachage T_{osc} .

Q20- Le signal de hachage présente des impulsions de durée t_H .

Donner l'expression du rapport cyclique α .

Q21- Calculer t_{H1} pour avoir $\alpha_1 = 0,1$.

Calculer t_{H2} pour avoir $\alpha_2 = 0,2$.

Donner la relation entre I_{m2} et I_{m1} courants d'enroulement obtenus respectivement pour α_2 et α_1 en régime statique

Q22- Sur la patte 5 du CI L292 on dispose d'une tension image du courant dans l'enroulement I_m . Une tension image de I_m est réinjectée via la broche 7 afin de réaliser un asservissement contrôlant I_m . Entre les broches 5 et 7 de IC1 est intercalé un filtre passif réalisé par R2 et C1.

Donner la nature du filtre ainsi réalisé et calculer sa fréquence de coupure f_c .

$$\left(f_c = \frac{1}{2\pi R_2 C_1} \right)$$

Q23- La tension appliquée au moteur est une tension hachée. Il en résulte que le courant I_m circulant dans l'enroulement présente des variations à la fréquence du découpage calculée à la question 19. Le rôle du filtre R2 C1 est donc d'atténuer ces oscillations qui pourraient perturber le fonctionnement de la régulation.

D'après les résultats des questions 19 et 22, le filtre R2 C1 remplit-il correctement son rôle ? Justifier la réponse.

III. Etude de FP4 : interface d'entrée

Les différentes informations relatives aux capteurs (fin de courses...) et aux ordres venant de boutons poussoirs (mise en marche, ouverture porte..) doivent être envoyées au microprocesseur via le bus de donnée.

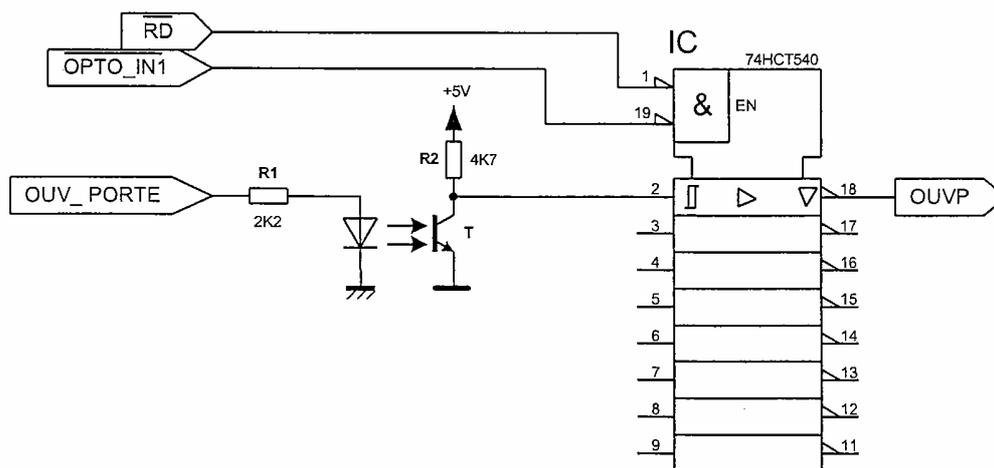
L'interface d'entrée assure une isolation galvanique (grâce à des optocoupleurs) puis une adaptation au bus de donnée par l'intermédiaire d'un buffer 3 états.

L'étude sera limitée à l'acquisition de l'ordre ouverture porte.

L'information d'entrée OUV_PORTE provient d'un bouton poussoir. Elle vaut 5V lorsque l'utilisateur appuie dessus et 0V lorsqu'il est relâché.

L'information logique associée envoyée sur le bus de données est appelée OUVP.

Le schéma structurel est le suivant :



La documentation constructeur de l'optocoupleur est donnée page CAN5, celle du buffer 74HCT540 page CAN6 et CAN7.

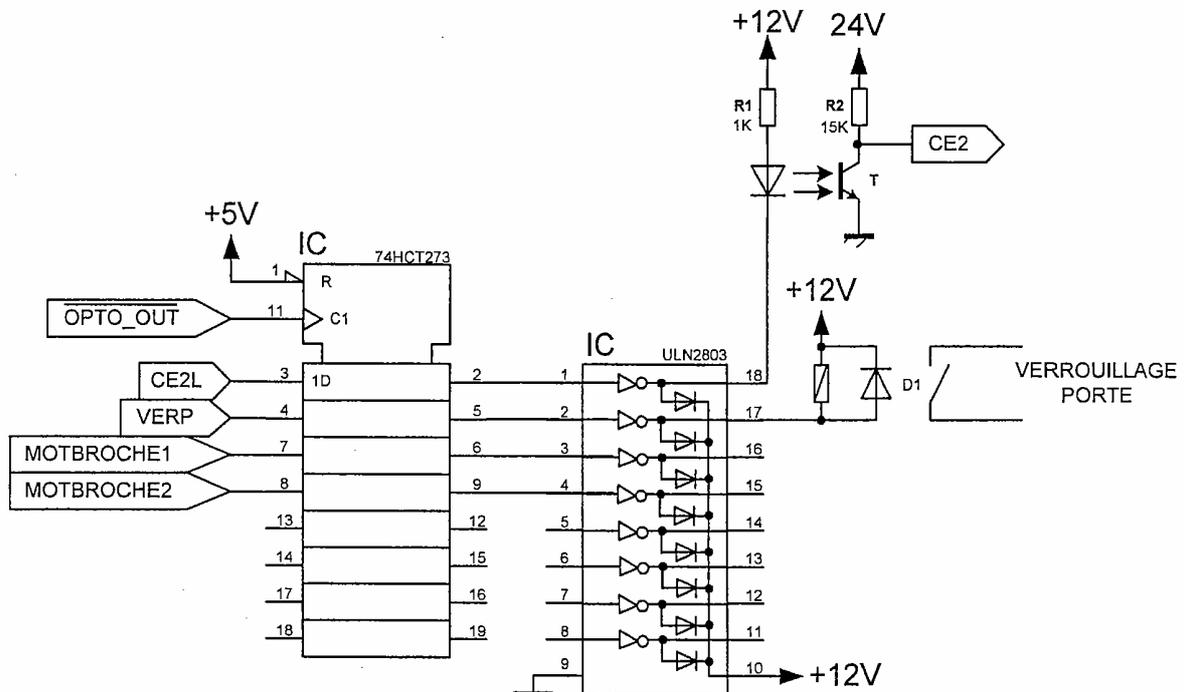
Q24- Relever la caractéristique $V_{CEsatmax}$ de l'optocoupleur et calculer l'intensité du courant I_c lorsque le phototransistor est saturé.

- Q25- Relever la valeur du taux de transfert CTR_{min} de l'optocoupleur et en déduire la valeur minimale du courant $I_{Fmin} = I_{R1min}$ nécessaire pour saturer le phototransistor.
- Q26- Calculer la valeur de $I_F = I_{R1}$ lorsqu'on demande l'ouverture de la porte.
Montrer que le phototransistor est alors correctement saturé.
- Q27- Compléter le tableau du **document réponse N°5** page **CR3** résumant le fonctionnement de l'interface lorsque $\overline{RD} = 0$.

IV. Étude de FP3 : interface de sortie

Les différentes commandes fournies par le microprocesseur à destination des actionneurs sont elles aussi interfacées.

Le schéma structurel partiel (limité à deux sorties) de l'interface est le suivant :



La documentation de l'optocoupleur est donnée **page CAN5**, celle du **CI 74HCT273** pages **CAN7** et **CAN8**, celle du **CI ULN2803** page **CAN9**.

Pour des raisons de sécurité, la porte de la machine doit être verrouillée durant l'usage.
L'ordre de verrouillage est appelé **VERP**.

- Q28- Quelle est la structure intégrée au **CI ULN2803** située entre les broches 2 et 17 du composant ?
- Q29- La résistance de la bobine du relais de verrouillage vaut $R_{BOB} = 300 \Omega$.
Calculer le courant I_{BOB} circulant dans la bobine lors du verrouillage en négligeant la tension V_{CEsat} en sortie de l' **ULN 2803**.
Ce courant est-il compatible avec le courant de sortie du **CI ULN 2803** ?
- Q30- Rechercher dans la documentation constructeur la valeur du courant de sortie maximal du **74HCT273**.
En déduire le rôle du **CI ULN2803**.

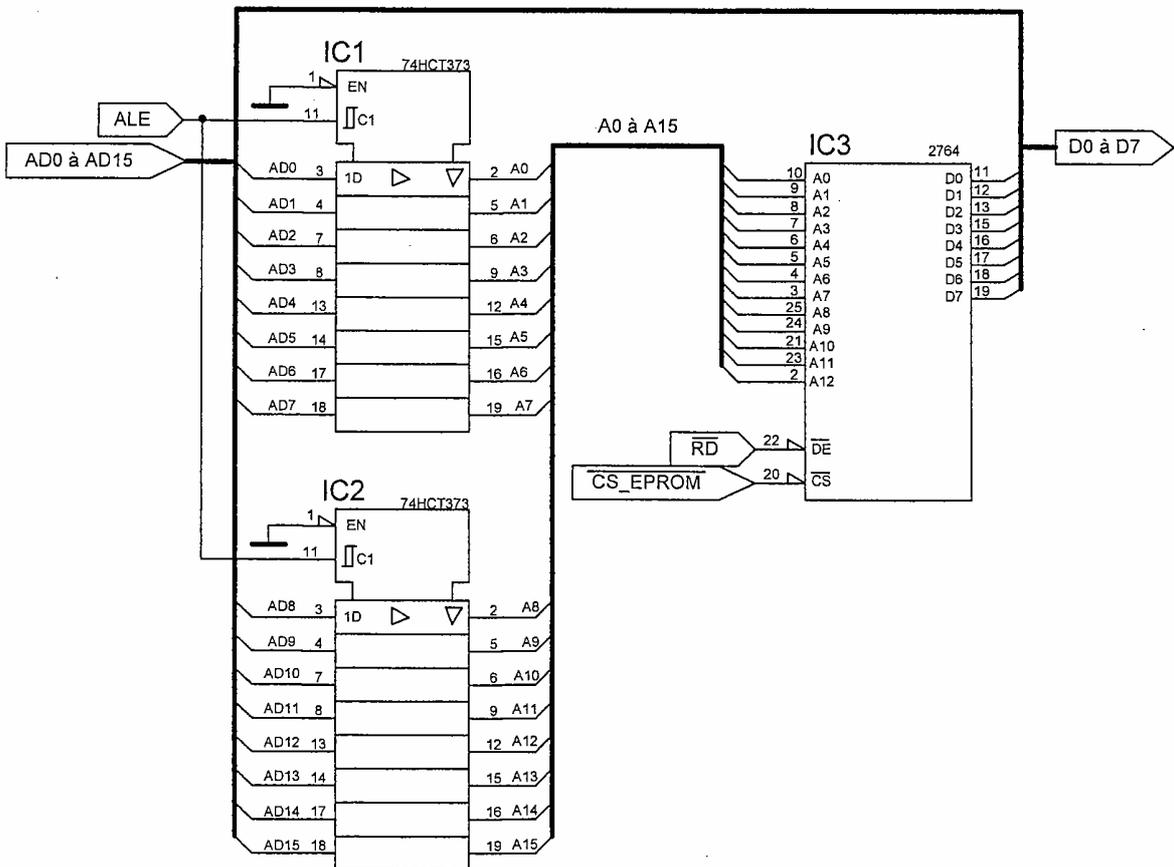
- Q31- Rechercher dans la documentation constructeur l'événement sur la broche **11** du **CI 74HCT273** qui déclenche la recopie des entrées vers les sorties.
- Q32- Compléter le **document réponse n°6 page CR3** résumant le fonctionnement de l'interface. Pour le chronogramme de **CE2**, indiquer les valeurs significatives sur l'axe des ordonnées.

V. Etude de FP1 : Gestion du processus

Cette fonction analyse les instructions issues de l'ordinateur et génère les ordres de commande des moteurs en tenant compte de l'état des informations d'entrée.

V.1. Etude de FS12 : Mémorisation

Le schéma structurel est le suivant :



- Q33- Quel état faut-il appliquer à l'entrée **ALE** pour mémoriser les adresses (**A0 à A15**) ?
- Q34- D'après la documentation constructeur page **CAN10**, expliquer le fonctionnement de **IC1** et **IC2**.
- Q35- Calculer la capacité de la mémoire (**IC3**) en **kbits** et **koctets**.
D'après le document constructeur page **CAN10**, quel est le type de la mémoire ?
Donner un autre type de mémoire et donner leurs différences.

V.2. Étude de FS13 : Décodage d'adresses

Cette fonction est réalisée par un **GAL** qui est un circuit dans lequel on peut programmer des équations logiques. Elles permettent de sélectionner les composants avec lesquels le microprocesseur veut travailler.

On rappelle que :

$\overline{CS_CNA}$ sélectionne le convertisseur Numérique/Analogique.

$\overline{OPTO_OUT}$ sélectionne l'interface de sortie.

$\overline{OPTO_IN1}$ et $\overline{OPTO_IN2}$ sélectionnent l'interface d'entrée.

$\overline{CS_EPROM}$ sélectionne la mémoire.

Les équations sont les suivantes :

$$\overline{CS_CNA} = \overline{A15.A14.A13}$$

$$\overline{OPTO_OUT} = \overline{A15.A14.A13}$$

$$\overline{OPTO_IN1} = \overline{A15.A14.A13}$$

$$\overline{OPTO_IN2} = \overline{A15.A14.A13}$$

$$\overline{CS_EPROM} = \overline{A15.A14.A13}$$

Q36- Quel doit être le résultat de ces équations pour sélectionner tous ces composants ?

Q37- Donner les états de **A15**, **A14** et **A13** correspondants. Pour cela compléter le document réponse N°7 page **CR4**.

Q38- A partir du tableau ci-dessous et des réponses de la question 37, donner les adresses basse et haute en hexadécimal pour chaque sélection.

Circuit	Adresse	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
CNA	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_OUT	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_IN1	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_IN2	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
EPROM	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1

**BACCALAUREAT SCIENCES ET TECHNOLOGIES
INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Etude des systèmes techniques industriels

**MACHINE A COMMANDE NUMERIQUE
3 AXES**

Partie électronique :

- **Documents réponses : CR1 à CR4**

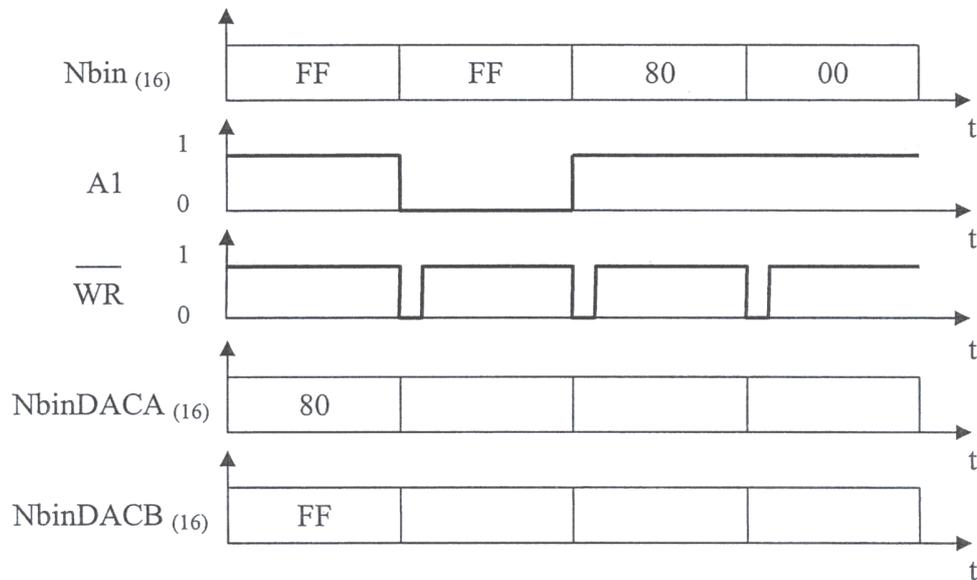
Document réponse N°1

Question 7

A1	DAC chargé
0	
1	

Document réponse N°2

Question 8



Document réponse N°3

Questions 11 et 14

Nbin ₍₁₀₎	Nbin ₍₁₆₎	Nbin ₍₂₎	Tension de sortie du DAC Vout (V)	Tension de sortie de l'ALI UM1C (V)
0	00	0000 0000		
1				
128				
	FF	1111 1111		

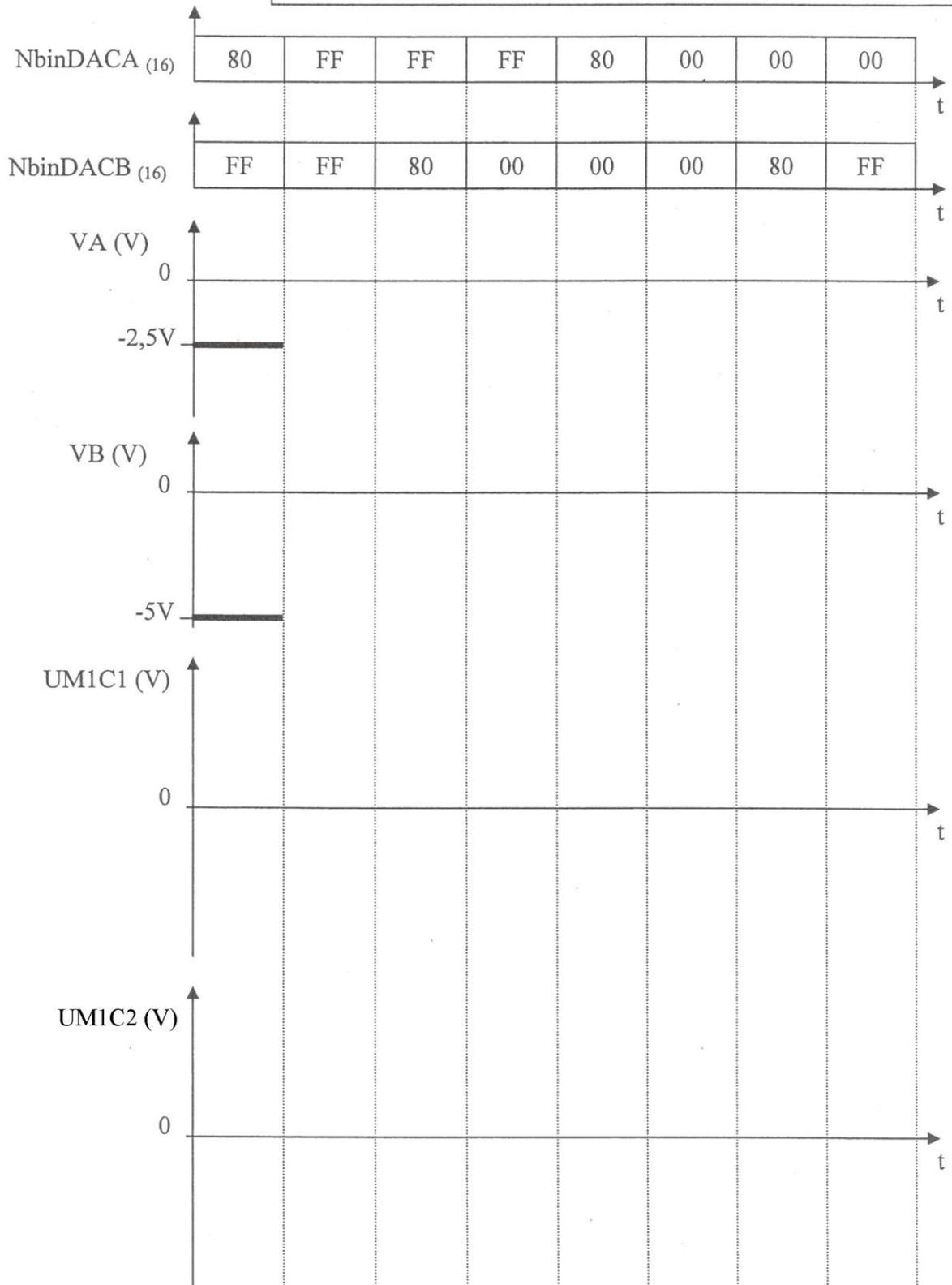
question 11

question 14

Document réponse N°4

Questions 12 et 15

On précisera les valeurs remarquables sur l'axe des ordonnées



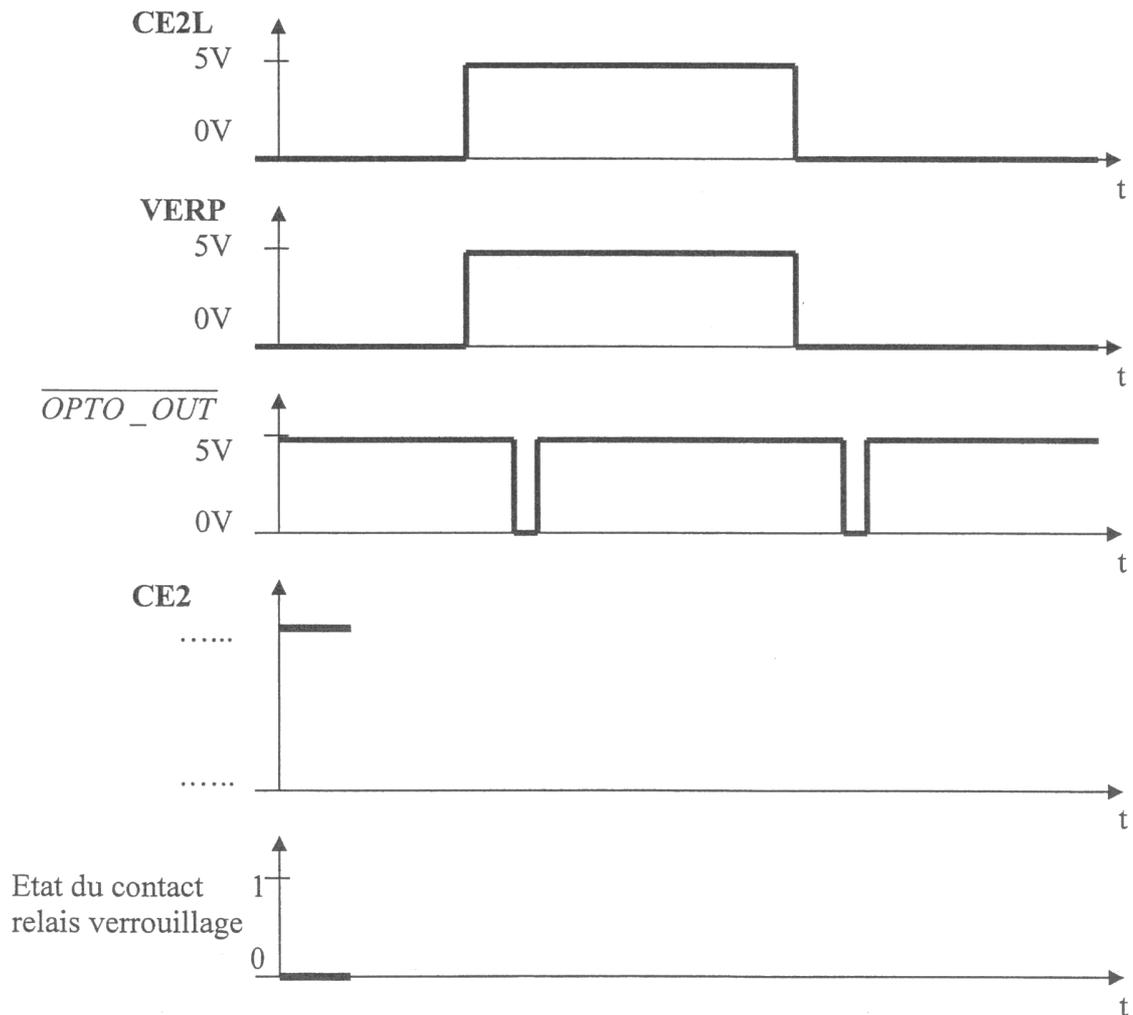
Document réponse N°5

Question 27

Etat du BP "ouverture porte"	Valeur de $I_F = I_{R1}$	Etat du photo transistor	Valeur de I_c	Valeur de V_{CE}	Niveau logique de OUVP si $\overline{OPTO_IN1} = 0$
Appuyé					
Relâché					

Document réponse N°6

Question 32



Convention niveau logique :

- 1 pour contact fermé
- 0 pour contact ouvert

Document réponse N°7

Question 37

	$\overline{CS_CNA}$	$\overline{OPTO_OUT}$	$\overline{OPTO_IN1}$	$\overline{OPTO_IN2}$	$\overline{CS_EPROM}$
A15					
A14					
A13					

**BACCALAUREAT SCIENCES ET TECHNOLOGIES
INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Etude des systèmes techniques industriels

**MACHINE A COMMANDE NUMERIQUE
3 AXES**

Partie électronique :

- Documents annexes : CAN1 à CAN10

DESCRIPTION GENERALE

Le circuit AD7528 est un double convertisseur numérique analogique (DAC) 8 bits. Des verrous séparés sont associés à chaque DAC pour faciliter les échanges avec un microprocesseur.

Les données sont transférées dans l'un ou l'autre des deux DAC via un port d'entrée 8 bits commun compatible TTL/CMOS. L'entrée de contrôle DACA/DACB détermine lequel des deux DAC doit être chargé. Le cycle de chargement de l'AD7528 est similaire au cycle d'écriture dans une mémoire RAM et le circuit est compatible avec la plupart des microprocesseurs 8 bits.

Le circuit fonctionne avec une tension d'alimentation comprise entre 5V et 15V, en dissipant seulement une puissance de 20 mW.

INFORMATIONS LOGIQUES D'INTERFACAGE

Sélection du DAC :

Les deux verrous (Latch) des DAC partagent un port d'entrée 8 bits commun. L'entrée de contrôle $\overline{DACA/DACB}$ sélectionne celui des deux DAC qui doit prendre en compte la donnée du port d'entrée à convertir.

Sélection du mode:

Les entrées \overline{CS} et \overline{WR} contrôlent le mode de fonctionnement du DAC sélectionné conformément à la table de sélection donnée ci-contre.

Mode d'écriture (WRITE) :

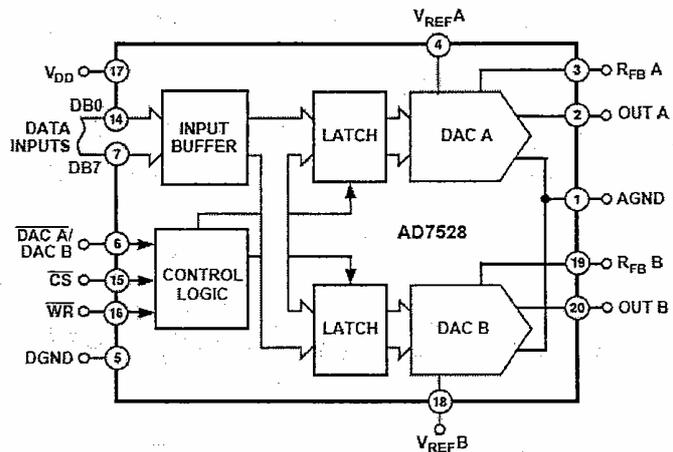
Lorsque les entrées \overline{CS} et \overline{WR} sont toutes les deux à l'état bas, le DAC sélectionné est en mode d'écriture. Les verrous d'entrée du DAC sélectionné sont transparents et la sortie analogique est le résultat de la conversion des entrées DB0 à DB7.

Mode de maintien (ou mémorisation HOLD):

Les verrous du DAC sélectionné mémorisent la donnée qui était présente sur les entrées DB0 à DB7 juste avant que

\overline{CS} et \overline{WR} passent à l'état haut. Tant que \overline{CS} et \overline{WR} restent à l'état haut, les sorties analogiques des 2 DAC n'évoluent pas et gardent la valeur correspondant à la conversion de la donnée mémorisée dans leurs verrous respectifs.

FUNCTIONAL BLOCK DIAGRAM

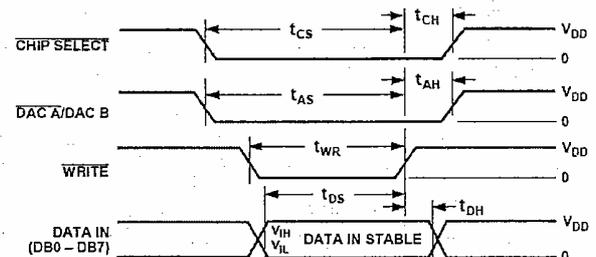


Mode Selection Table

DACA/DACB	CS	WR	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

L = Low State; H = High State; X = Don't Care.

WRITE CYCLE TIMING DIAGRAM



NOTES:

1. ALL INPUT SIGNAL RISE AND FALL TIMES MEASURED FROM 10% TO 90% OF V_{DD} .

$V_{DD} = +5V$, $t_r = t_f = 20ns$;

$V_{DD} = +15V$, $t_r = t_f = 40ns$;

2. TIMING MEASUREMENT REFERENCE LEVEL IS $\frac{V_{IH} + V_{IL}}{2}$

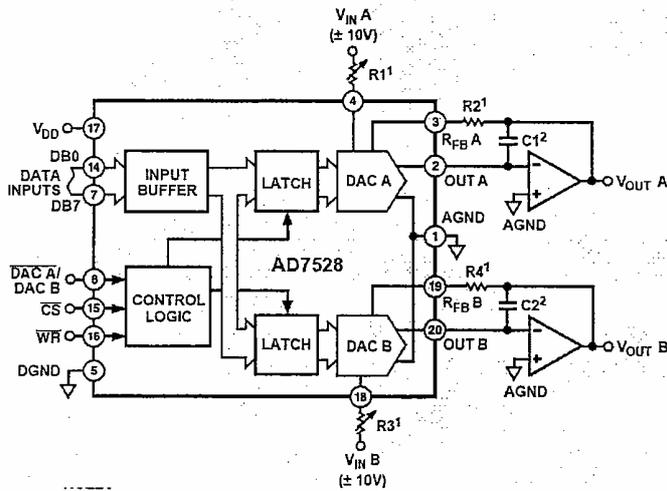


Table I : code unipolaire

DAC Latch Contents	Analog Output (DAC A or DAC B)
MSB	LSB
1 1 1 1 1 1 1 1	$-V_{IN} \left(\frac{255}{256} \right)$
1 0 0 0 0 0 0 1	$-V_{IN} \left(\frac{129}{256} \right)$
1 0 0 0 0 0 0 0	$-V_{IN} \left(\frac{128}{256} \right) = -\frac{V_{IN}}{2}$
0 1 1 1 1 1 1 1	$-V_{IN} \left(\frac{127}{256} \right)$
0 0 0 0 0 0 0 1	$-V_{IN} \left(\frac{1}{256} \right)$
0 0 0 0 0 0 0 0	$-V_{IN} \left(\frac{0}{256} \right) = 0$

Note : 1 LSB = $(2^{-8}) (V_{IN}) = (V_{IN})/256$
 $V_{outA} = V_A$ $V_{outB} = V_B$

NOTES :

¹ R1, R2 ET R3, R4 NE SONT UTILES QUE SI L'ON VEUT MODIFIER LE GAIN.

² C1, C2 (10 pF, 15 pF) NE SONT UTILES QU'AVEC DES AMPLIFICATEURS HAUTES FREQUENCES POUR EVITER LES OSCILLATIONS.

Figure 1 : Double DAC utilisé en mode unipolaire ; voir Table I

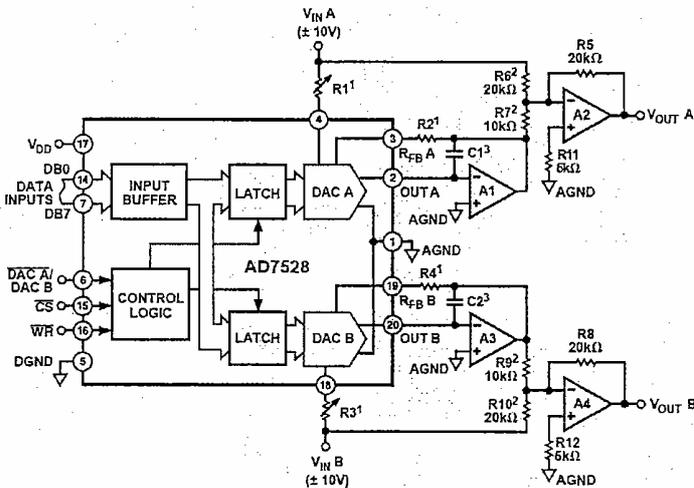


Table II : code bipolaire

DAC Latch Contents	Analog Output (DAC A or DAC B)
MSB	LSB
1 1 1 1 1 1 1 1	$+V_{IN} \left(\frac{127}{128} \right)$
1 0 0 0 0 0 0 1	
1 0 0 0 0 0 0 0	0
0 1 1 1 1 1 1 1	$-V_{IN} \left(\frac{1}{128} \right)$
0 0 0 0 0 0 0 1	$-V_{IN} \left(\frac{127}{128} \right)$
0 0 0 0 0 0 0 0	$-V_{IN} \left(\frac{128}{128} \right)$

Note : 1 LSB = $(2^{-7}) (V_{IN}) = (V_{IN})/128$

NOTES :

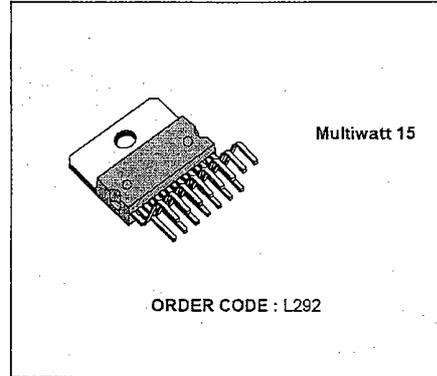
¹ R1, R2 ET R3, R4 NE SONT UTILES QUE SI L'ON VEUT MODIFIER LE GAIN.

³ C1, C2 (10 pF, 15 pF) NE SONT UTILES QU'AVEC DES AMPLIFICATEURS HAUTES FREQUENCES POUR EVITER LES OSCILLATIONS.

Figure 2 : Double DAC utilisé en mode bipolaire ; voir Table II

SWITCH-MODE DRIVER FOR DC MOTORS

- POSSIBILITES : 2A, 36V, 30 kHz
- REGLAGE EXTERNE DU GAIN DE BOUCLE
- TENSION D'ALIMENTATION UNIQUE (18 A 36V)
- SIGNAL D'ENTREE SYMETRIQUE
- PROTECTION THERMIQUE



DESCRIPTION :

Le L292 est un circuit monolithique LSI dans un boîtier 15 broches MULTIWATT®. Il est conçu, en association avec le L290 et L291, pour un asservissement de position des moteurs à courant continu.

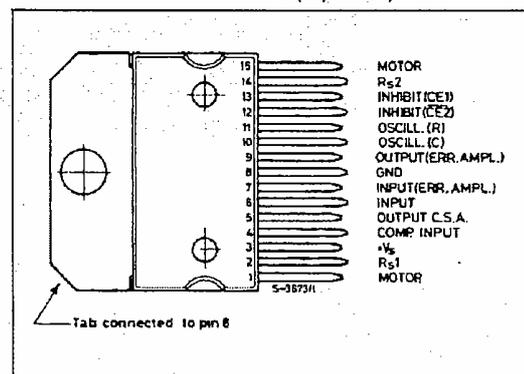
ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_s	Power Supply	36	V
V_i	Input Voltage	- 15 to + V_s	V
$V_{inhibit}$	Inhibit Voltage	0 to V_s	V
I_o	Output Current	2.5	A
P_{tot}	Total Power Dissipation ($T_{case} = 75\text{ °C}$)	25	W
T_{stg}	Storage and Junction Temperature	- 40 to + 150	°C

TRUTH TABLE

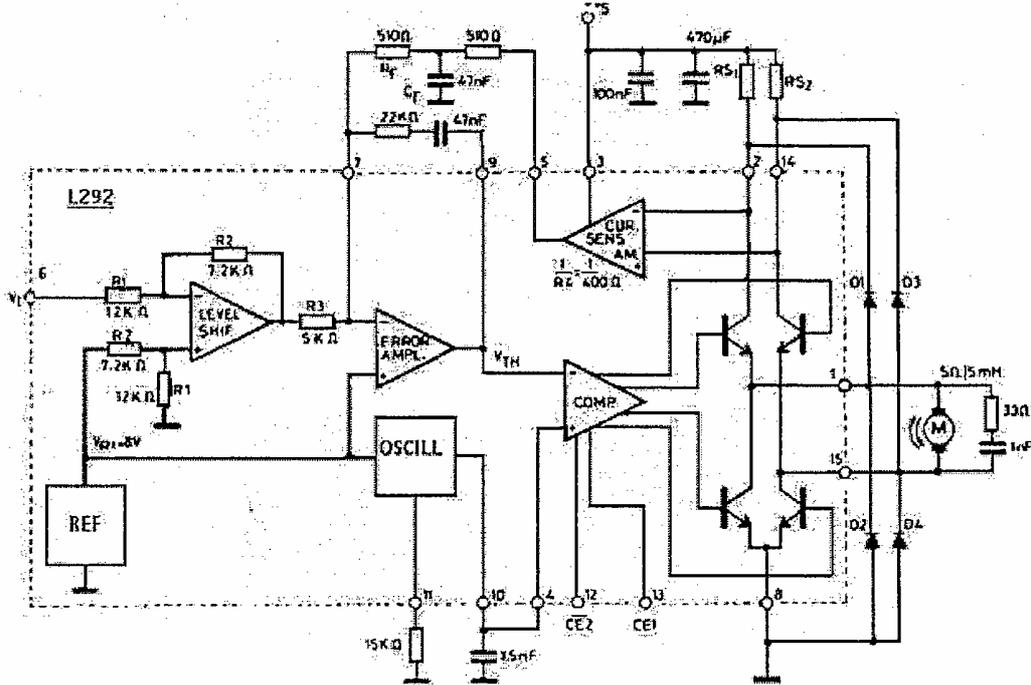
$V_{inhibit}$		Output Stage Condition
Pin 12	Pin 13	
L	L	Disabled
L	H	Normal Operation
H	L	Disabled
H	H	Disabled

CONNECTION DIAGRAM (top view)



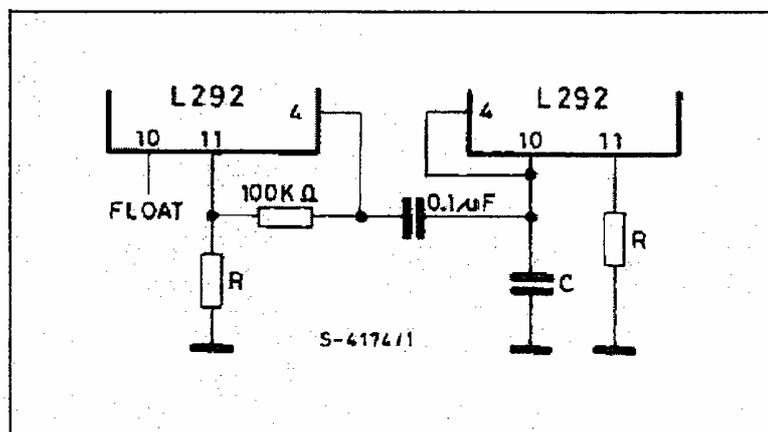
L292

STRUCTURE INTERNE ET MONTAGE DE TEST



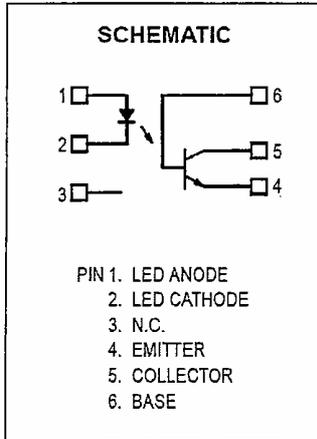
La fréquence de l'oscillateur donc du hachage est donnée par $f_{osc} = 1 / (2RC)$ où R est la résistance connectée entre la patte 11 et la masse et C la capacité du condensateur connectée entre les pattes 10 et 4 et la masse.

SYNCHRONISATION DE DEUX L292



Le signal de hachage est commun et de fréquence $f_{osc} = 1 / (2RC)$

Optoisolators transistor output

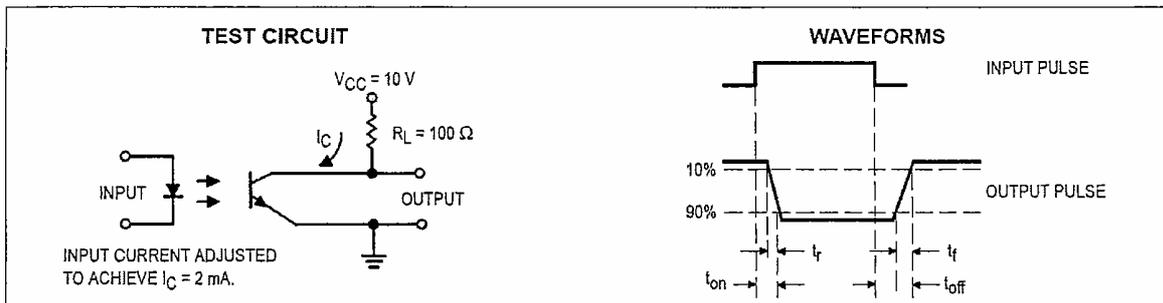


VALEURS LIMITES

Caractéristique	Symbole	Valeur	Unité
LED D'ENTREE			
Tension inverse	V_R	6	Volts
Courant direct (continu)	I_F	60	mA
Puissance dissipée	P_D	120	mW
TRANSISTOR DE SORTIE			
Tension collecteur émetteur	V_{CE0}	30	Volts
Tension émetteur base	V_{EB0}	7	Volts
Tension collecteur base	V_{CB0}	70	Volts
Courant collecteur (continu)	I_C	150	mA
Puissance dissipée	P_D	150	mW

CARACTERISTIQUES ELECTRIQUES à 25 °C

Caractéristique	Symbole	Min	Typ	Max	Unité
LED D'ENTREE					
Tension directe	V_F	0,8	1,15	1,5	V
TRANSISTOR DE SORTIE					
Tension de saturation collecteur émetteur	V_{CEsat}		0,14	0,3	V
Courant émetteur à l'obscurité	I_{CE0}		1	50	nA
COUPLAGE					
Taux de transfert $CTR = I_C / I_F * 100 \%$	CTR	100	300		%



Octal buffer/line driver; 3-state; inverting

74HC/HCT540

CARACTERISTIQUES

- Sorties inversées
- Possibilités de sortie : driver de bus

DESCRIPTION GENERALE

Le 74HC/HCT540 est un octuple buffer (amplificateur de courant) inverseur avec des sorties trois états. Les sorties 3 états sont contrôlées par les entrées de validation de sorties $\overline{OE1}$ et $\overline{OE2}$. Un niveau haut sur ces entrées positionne les sorties dans un état haute impédance.

DESCRIPTION DES BROCHES

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 19	$\overline{OE1}, \overline{OE2}$	output enable input (active LOW)
2, 3, 4, 5, 6, 7, 8, 9	A_0 to A_7	data inputs
10	GND	ground (0 V)
18, 17, 16, 15, 14, 13, 12, 11	\overline{Y}_0 to \overline{Y}_7	bus outputs
20	V_{CC}	positive supply voltage

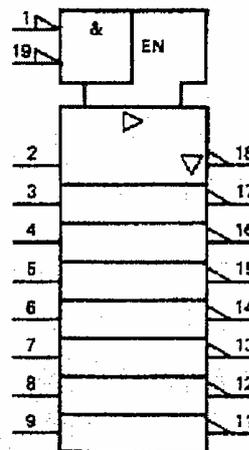
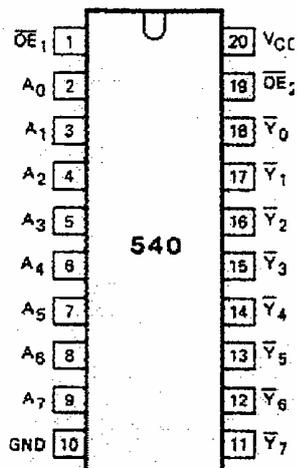


TABLE DE VERITE

INPUTS			OUTPUT
$\overline{OE1}$	$\overline{OE2}$	A_n	\overline{Y}_n
L	L	L	H
L	L	H	L
X	H	X	Z
H	X	X	Z

NOTE :

H = HIGH Niveau logique haut

L = LOW Niveau logique bas

X = Etat indifférent

Z = Etat haute impédance

DM 74LS273

Registre 8 bits avec mise à zéro

DESCRIPTION GENERALE

Le 74LS273 est un registre 8 bits rapide constitué de 8 bascules D avec une entrée d'horloge commune et une entrée de mise à zéro asynchrone active à l'état bas.

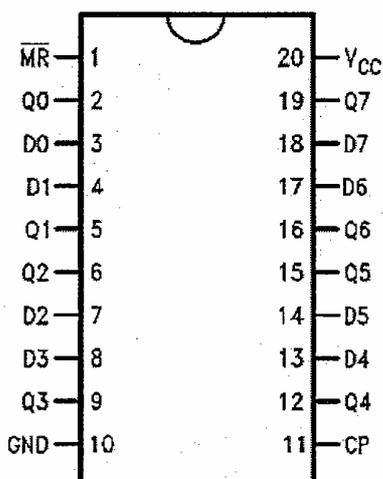
Lorsque l'entrée \overline{MR} est à l'état bas, toutes les sorties sont mises à zéro indépendamment de l'état des autres entrées.

Sur front montant de l'entrée d'horloge, les entrées D sont transférées vers les sorties Q.

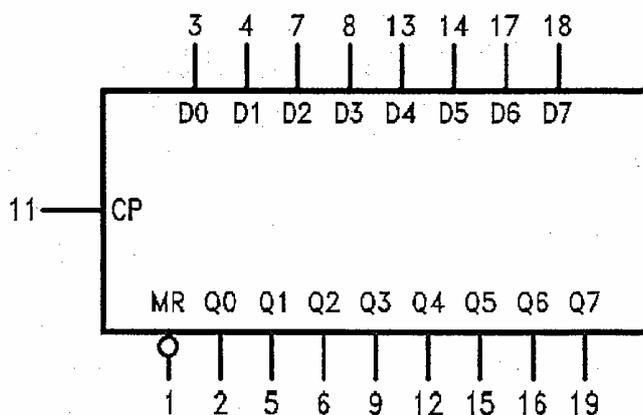
CARACTERISTIQUES

- Registre 8 bits rapide
- Déclenché sur front
- Entrée et sortie parallèle
- Entrées d'horloge et de mise à zéro communes aux 8 bascules

BROCHAGE



SYMBOLE LOGIQUE



DESC
RIPTI
ON
DES

BROCHES

Nom de broche	Description
CP	Clock Pulse : entrée d'horloge active sur front montant Data : entrées de données Master Reset : entrée de mise à zéro asynchrone active à l'état bas Sorties des bascules
D0-D7	
\overline{MR}	
Q0-Q7	

TABLE DE VERITE

Entrées	Sorties
---------	---------

\overline{MR}	CP	D _n	Q _n
L	X	X	L
H	↑	H	H
H	↑	L	L

Avec :

H = HIGH Niveau logique haut

L = LOW Niveau logique bas

X = Etat indifférent

↑ = Front montant

TENSIONS ET COURANTS CARACTERISTIQUES

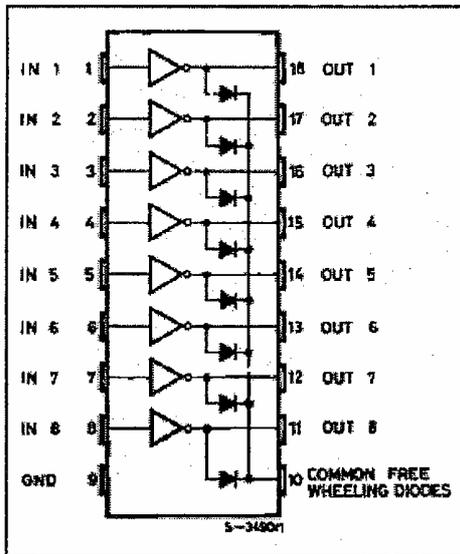
Symbole	Paramètre	Min	Typ	Max	Unité
V _{CC}	Tension d'alimentation	4.75	5	5.25	V
V _{IH}	Tension d'entrée au niveau haut	2			V
V _{IL}	Tension d'entrée au niveau bas			0.8	V
I _{OH}	Courant de sortie au niveau haut			-0.4	mA
I _{OL}	Courant de sortie au niveau bas			8	mA

EIGHT DARLINGTON ARRAYS

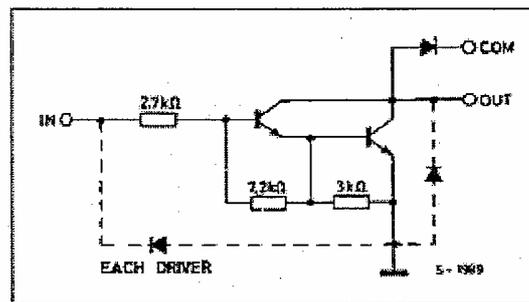
CARACTERISTIQUES

- HUIT TRANSISTORS DARLINGTONS AVEC EMETTEURS COMMUNS
- COURANT DE SORTIE JUSQU'A 500 mA
- TENSION DE SORTIE JUSQU'A 50V
- DIODES DE ROUES LIBRES INTEGREES
- LES SORTIES PEUVENT ÊTRE BRANCHEES EN PARALLELE
- LES ENTREES ET LES SORTIES CORRESPONDANTES SONT IMPLANTEES FACE A FACE POUR FACILITER LE ROUTAGE

BROCHAGE



STRUCTURE INTERNE POUR UN DARLINGTON DE L'ULN2803



Entre chaque entrée IN et chaque sortie OUT correspondante, on retrouve la structure ci-dessus (soit 8 au total).

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_i	Input Voltage for ULN2802A, UL2803A, ULN2804A for ULN2805A	30 15	V
I_c	Continuous Collector Current	500	mA
I_B	Continuous Base Current	25	mA
P_{tot}	Power Dissipation (one Darlington pair) (total package)	1.0 2.25	W
T_{amb}	Operating Ambient Temperature Range	- 20 to 85	°C
T_{stg}	Storage Temperature Range	- 55 to 150	°C
T_J	Junction Temperature Range	- 20 to 150	°C



74VHCT373A

OCTUPLE VERROU 3 ETATS

DESCRIPTION GENERALE :

Le circuit est composé de huit verrous transparents de type D avec une entrée de validation (LE) active à l'état haut et une entrée de validation des sorties (\overline{OE}) active à l'état bas.

BROCHAGE :

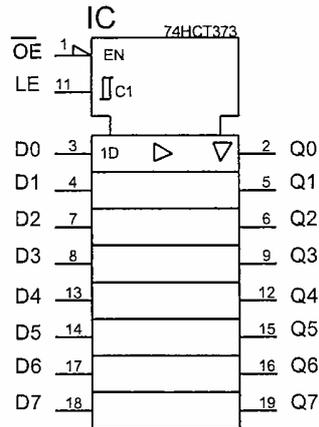
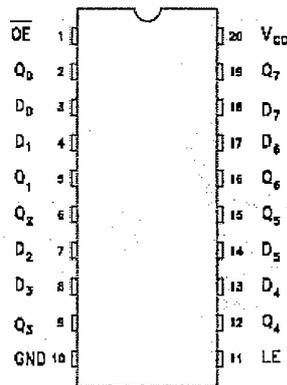
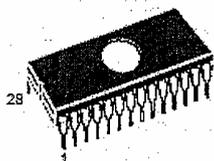


TABLE DE VERITE :

INPUTS			OUTPUT
\overline{OE}	LE	D	Q
H	X	X	Z
L	L	X	NO CHANGE*
L	H	L	L
L	H	H	H

NOTE :

- H = HIGH Niveau logique haut
- L = LOW Niveau logique bas
- X = Etat indifférent
- Z = Etat haute impédance



M27C64A

64 Kbit (8Kb x8) UV EPROM and OTP EPROM