

# BREVET DE TECHNICIEN SUPERIEUR

## SYSTEMES ÉLECTRONIQUES

**SESSION 2006**

### ÉPREUVE : ÉLECTRONIQUE

*Calculatrice à fonctionnement autonome autorisée conformément à la circulaire n°991836 du 16/11/99.  
Tout autre matériel est interdit*

**Cette épreuve contient 3 dossiers comportant :**

- Un dossier de Présentation : **09 pages en A4**
- Un dossier Technique : **14 pages en A4**
- Un dossier Questions et Réponses : **15 pages en A4**

<b>SESSION 2006</b>	<b>CODE : SEE 4 EL</b>
<b>BT.S. SYSTEMES ÉLECTRONIQUES</b>	
<b><u>ÉPREUVE</u> : ÉLECTRONIQUE</b>	
<b>Durée : 4 heures</b>	<b>Coefficient : 4</b>

**BREVET DE TECHNICIEN SUPERIEUR**

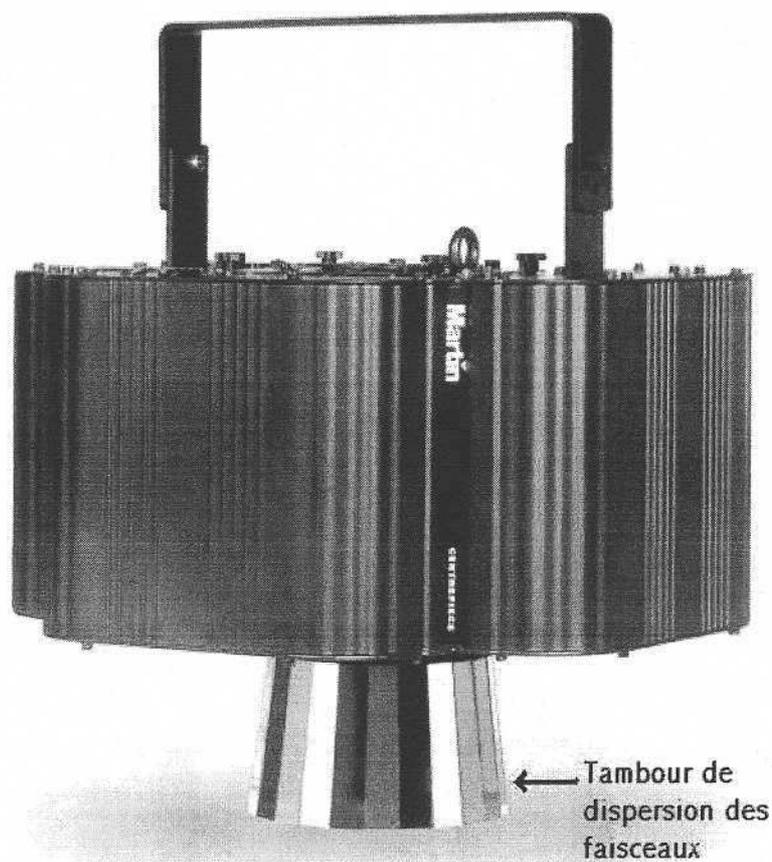
**SYSTEMES ÉLECTRONIQUES**

**SESSION 2006**

**ÉPREUVE : ÉLECTRONIQUE**

**DOSSIER DE PRÉSENTATION**

<b>SESSION 2006</b>	<b>CODE : SEE4EL</b>
<b>BT.S. SYSTEMES ÉLECTRONIQUES</b>	
<b><u>ÉPREUVE</u> : ÉLECTRONIQUE</b>	
<b>Durée : 4 heures</b>	<b>Coefficient : 4</b>



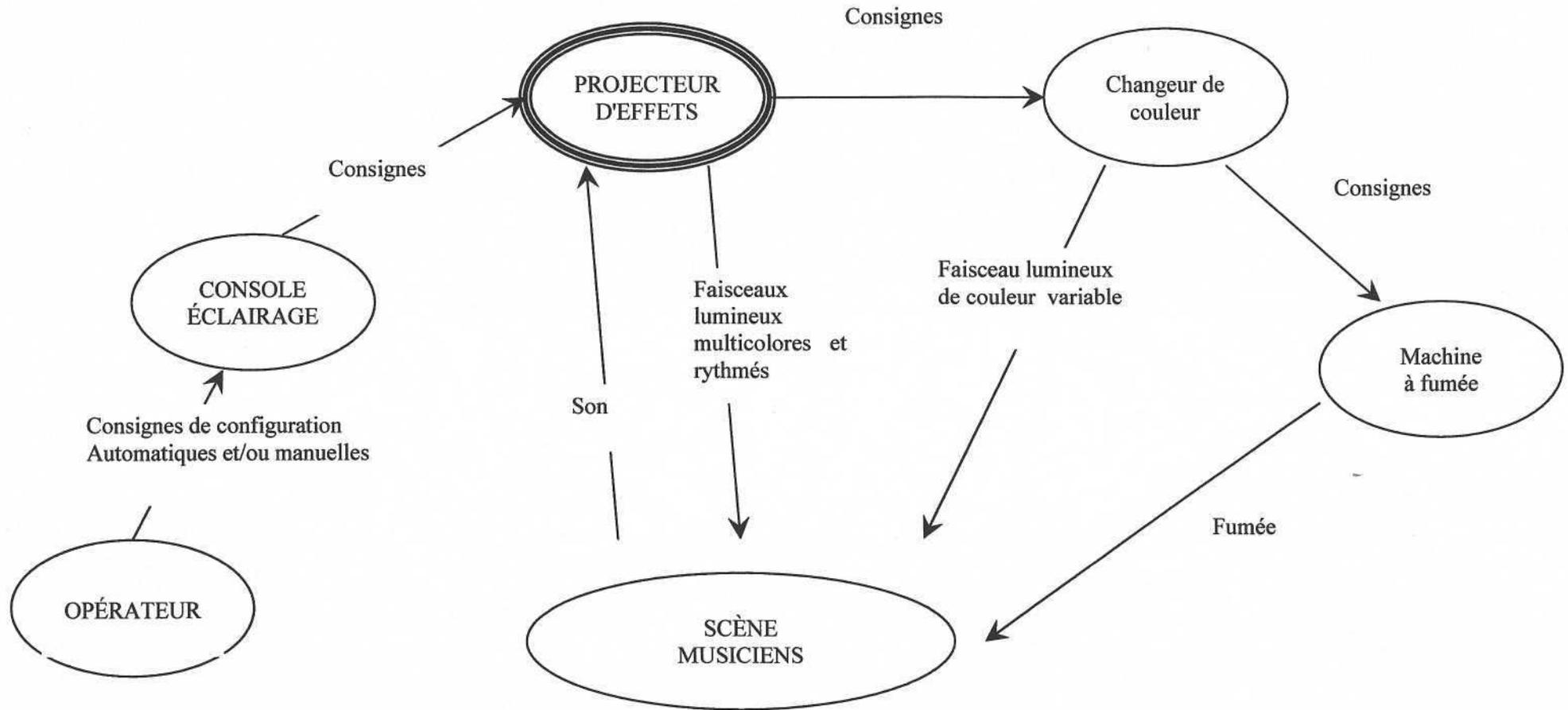
---

## PROJECTEUR D'EFFETS « *CENTREPIECE* » DOSSIER DE PRÉSENTATION

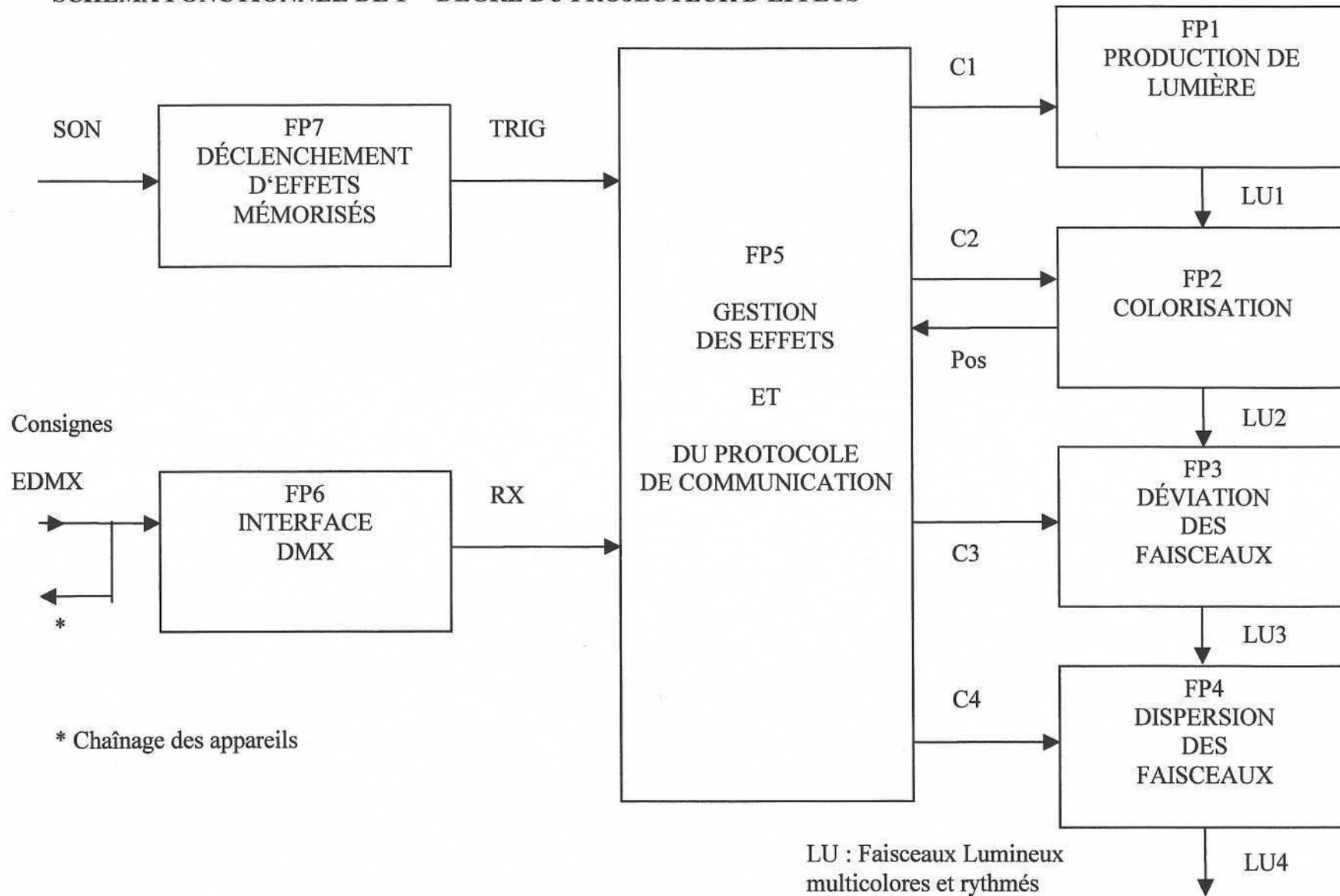
- 1 Organisation du système
- 2 Schéma fonctionnel de premier degré du projecteur d'effet
  - FP1 Production de la lumière
  - FP2 Colorisation
  - FP3 Déviation des faisceaux (*tilt*)
  - FP4 Dispersion des faisceaux
  - FP5 Gestion des effets et du protocole de communication
  - FP6 Interface liaison série
  - FP7 Déclenchement d'effets mémorisés
- 3 Schéma fonctionnel de second degré de FP5 "Gestion des effets et du protocole"

Le système d'éclairage est une composante essentielle du monde du spectacle. Les salles, même les plus modestes, peuvent être équipées de plusieurs dizaines de projecteurs de types différents. La commande de ces équipements est centralisée depuis une console d'éclairage. On se propose ici d'analyser le fonctionnement du projecteur d'effet "*Centrepiece*" de la société *Martin Professional*.

## DIAGRAMME SAGITTAL



### SCHÉMA FONCTIONNEL DE 1<sup>ER</sup> DEGRÉ DU PROJECTEUR D'EFFETS



## 1 ORGANISATION DU SYSTEME

Voir le diagramme sagittal page 2.

### Opérateur

Le technicien lumière est chargé de la programmation de la console d'éclairage et a la possibilité, au cours du déroulement du spectacle, de procéder manuellement à des ajustements d'effets lumières.

### Console

C'est un pupitre permettant le contrôle complet du spectacle en un minimum de temps. La console est capable de piloter jusqu'à 32 équipements tels que : projecteur d'effets, changeur de couleur, projecteur à miroir, machine à fumée...

Les consignes sont véhiculées vers l'ensemble des équipements par un bus unique. Le standard utilisé ici est le bus DMX512. Les informations émises par la console sont transmises d'appareil en appareil sans modification (chaînage).

### Projecteur d'effets

Fonction d'usage :

Projection d'une multitude de faisceaux multicolores et rythmés, animés d'effets stroboscopiques.

Les effets peuvent être commandés à distance depuis la console de l'éclairagiste. Le projecteur peut également être placé en mode autonome (synchronisé ou non sur la musique).

Le projecteur d'effets « centrepiece » est généralement placé au dessus d'une piste de danse.

## 2 SCHEMA FONCTIONNEL DE PREMIER DEGRE DU PROJECTEUR D'EFFET

Voir le schéma fonctionnel page 3.

### FP1 PRODUCTION DE LA LUMIERE

Le flux lumineux (*LUI*) est créé par une lampe de 1200W. Un ensemble régulation de tension - ventilation conduit à une durée de vie moyenne de la lampe de 1000 h.

#### Entrée C1 :

Commande tout ou rien de l'état marche - arrêt de la lampe.

### FP2 COLORISATION

La colorisation est assurée par un carrousel (support rotatif) portant 8 filtres dichroïques<sup>1</sup>.

Le système permet la gestion de la rotation du carrousel (vitesse, choix du sens de rotation) ou l'arrêt dans une position prédéterminée.

Le contrôle en position est réalisé par un capteur optique.

#### Entrée C2 :

Commande en rotation du carrousel

#### Sortie Pos :

Information logique : niveau 1 lorsque le carrousel est en position initiale.

### FP3 DEVIATION DES FAISCEAUX (*TILT*)

Un ensemble de 8 miroirs, dont la rotation est commandée en position, permet la multiplication du faisceau initial.

Ces miroirs sont commandés deux par deux.

La rotation est assurée autour de l'axe de la longueur du miroir : c'est le mouvement dit de "*tilt*".

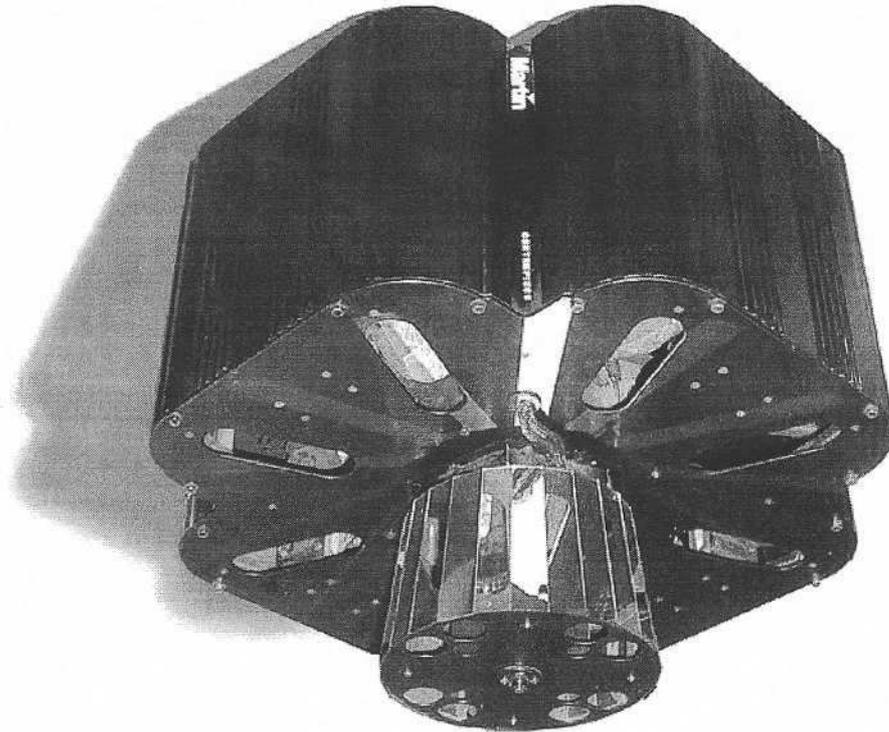
Les faisceaux sont ainsi dirigés avec un angle d'incidence variable sur les miroirs de FP4 (Dispersion des faisceaux), placés à la partie inférieure de l'appareil; revoir la photographie page 1.

#### Entrée C3 :

Commande en rotation des miroirs

---

<sup>1</sup> Dichroïsme : Propriété qu'ont certaines substances de paraître de deux couleurs différentes suivant leur épaisseur.



#### **FP4 DISPERSION DES FAISCEAUX**

Un tambour, garni de miroirs, est placé à la partie inférieure de l'appareil.

Les mouvements combinés des miroirs (FP3) et du tambour (FP4) permettent de créer un effet de multitude de faisceaux (LU4).

Le système permet la gestion de la rotation du tambour (vitesse, choix du sens de rotation) ou l'arrêt.

Entrée C4 :

Commande en rotation du tambour support des miroirs.

#### **FP5 GESTION DES EFFETS ET DU PROTOCOLE DE COMMUNICATION**

Cette fonction identifie, dans la trame DMX512, les consignes étant effectivement assignées au projecteur et génère en conséquence les commandes des effets désirés.

L'adresse (ou canal de base) de l'appareil est fixée par un jeu de commutateurs accessible à l'opérateur.

Entrées :

*Trig* : information logique au rythme des maxima du niveau sonore,

*Rx* : Information série de configuration au format TTL,

*Pos* : Information logique : niveau 1 lorsque le carrousel est en position 0.

Sorties :

*C1* : Commande de la production de lumière,

*C2, C3, C4* : Commandes des effets.

#### **FP6 INTERFACE LIAISON SERIE**

Cette fonction assure le passage des spécifications électriques de la norme RS485 (liaison différentielle entre la console et les projecteurs) aux niveaux T.T.L. compatibles à l'entrée de FP5 (Gestion des effets et du protocole de communication).

Dans le principal mode de fonctionnement étudié ici les informations circulent uniquement dans le sens console vers projecteur.

Par ailleurs une fonction de protection est réalisée ; il s'agit de protéger l'équipement en cas de branchement erroné du câble de liaison.

Entrée  $E_{DMX}$  :

Informations séries de configuration du projecteur (voir protocole DMX512 en Document technique DT1)

Les spécifications électriques sont celles de la norme RS485.

L'information  $E_{DMX}$  est recopiée sur un connecteur de sortie afin de permettre le chaînage d'un ensemble d'appareils sur le bus DMX512.

Sortie  $R_x$  :

Informations séries de configuration au format T.T.L.

### **FP7 DECLENCHEMENT D'EFFETS MEMORISES**

En mode autonome cette fonction permet une synchronisation des effets sur la musique.

Entrée  $Son$  :

Information sonore ambiante captée par un microphone intégré à l'appareil.

Sortie  $Trig$  :

Sortie information logique au rythme des variations du niveau sonore.

## **3 SCHEMA FONCTIONNEL DE SECOND DEGRE DE FP5 "GESTION DES EFFETS"**

Voir Schéma fonctionnel de second degré page 9

### **FS5.1 : TRAITEMENT.**

Ensemble de fonctions qui réalisent :

- le séquençement du traitement (lecture puis exécution des instructions).
- Le traitement des données conformément aux instructions du programme.
- La mémorisation des données utilisées par le programme.
- L'interface avec l'extérieur.

### **Signaux externes à FP5.**

Entrées :

$Trig$  : information logique au rythme des maxima du niveau sonore,

$R_x$  : Informations séries de configuration au format TTL,

$Pos$  : Information logique : niveau 1 lorsque le carrousel est en position 0.

### **Signaux internes à FP5:**

Sorties :

$PI.7$  : Signal logique qui commande via FS5.13 la production de la lumière.

$T0$  : Signal logique, dont le front montant initialise la durée de la fonction surveillance FS5.11 à 0s.

$/WR$  : Signal logique actif à l'état bas qui valide la présence d'une donnée sur le bus AD[7:0] pour un cycle d'écriture vers l'extérieur de FS5.1.

$/PSEN$  : Signal logique actif à l'état bas de validation de la lecture d'une instruction ou d'une constante. L'instruction ou la constante est acheminée par le bus AD[7:0].

$ALE$  : Signal logique de validation des verrous d'adresse. L'état haut valide la fonction " Mémorisation d'adresse " FS5.2 pour mémoriser l'adresse émise sur le bus AD[7:0]. L'état bas verrouille la fonction FS5.2 qui mémorise l'adresse précédente.

Entrées :

*RST* : Signal d'initialisation.

- 1 : Initialise FS5.1.
- 0 : Fonctionnement normale.

*CLK* : Signal logique de fréquence 16MHz qui cadence le traitement.

*N°* : Identification de " CENTREPIECE ". Information logique sur 6 bits.

BUS:

*A[15:8]* : Bus d'adresse qui transmet les 8 bits de l'adresse haute de lecture des instructions ou des constantes et d'écriture des données.

*AD[7:0]* : Bus d'adresse/donnée multiplexé qui :

- émet les 8 bits d'adresse basse de lecture des instructions ou des constantes et d'écriture des données.
- Reçoit les instructions ou constantes de FS5.4 et émet les données vers l'extérieur.

**FS5.2 : MEMORISATION D'ADRESSE BASSE.**

Cette fonction mémorise l'adresse basse émise sur le bus multiplexé *AD[7:0]*. Le signal *ALE* contrôle cette fonction.

Entrées :

*ALE* : Indique la présence d'une adresse sur le bus multiplexé *AD[7:0]*.

*AD[7:0]* : Bus d'adresse/donnée multiplexé.

Sortie :

*A[7:0]* = *AD[7:0]* pour *ALE* = 1 ( la fonction est transparente passage des adresses basses).

*A[7:0]* est inchangé pour *ALE* = 0 ( la fonction mémorise l'adresse basse précédente).

**FS5.4 : MEMORISATION PERMANENTE.**

Cette fonction contient la suite des instructions qui compose le programme ainsi que les constantes.

Entrées :

*A[14:0]* : Adresse de l'instruction ou de la constante et de la donnée externe.

*/PSEN* : Validation de la lecture d'une instruction ou d'une constante.

Sortie :

*D[7:0]* : Instruction ou constante demandée.

**FS5.3 : DECODAGE.**

Cette fonction analyse l'adresse et le type d'échange avec l'extérieur pour sélectionner la fonction qui doit prendre la donnée.

Entrées :

*A[15:13]* : Adresse à analyser.

*/WR* : Valide la présence d'une donnée sur le bus *AD[7:0]*.

Sorties :

*/S7* : Signal logique actif à l'état bas qui autorise une écriture dans la fonction FS5.5.

*/S5* : Signal logique actif à l'état bas qui autorise une écriture dans la fonction FS5.6.  
*CS-COLOR* : Signal logique actif sur un front montant qui valide une écriture dans la fonction FS5.7.  
*CS-GOBO* : Signal logique actif sur un front montant qui valide une écriture dans la fonction FS5.8.  
*CS-IRIS* : Signal logique actif sur un front montant qui valide une écriture dans la fonction FS5.9.  
*CS-SHUTTER* : Signal logique actif sur un front montant qui valide une écriture dans la fonction FS5.10.

#### **FS5.5, FS5.6 : INTERFACE DE COMMANDE MICRO-PAS.**

Ces 2 fonctions sont identiques, elles produisent la commande en puissance de la rotation des effets (FS5.5 commande de la colorisation et FS5.6 commande de la dispersion des faisceaux).

##### Entrées :

*AD[7:0]* : Bus d'adresse/donnée multiplexé.

*A1, A0* : Adresse de sélection d'un registre interne.

*/WR* : Valide la présence d'une donnée sur le bus *AD[7:0]*, le front montant de */WR* avec */S5* ou (*/S7*) à 0 mémorise la donnée présente sur le bus *AD[7:0]* dans FS5.6 ou ( FS5.5).

*/S7 ou /S5* : Signal de validation de l'écriture, voir FS5.3.

##### Sorties :

*C2* : Commande de puissance par micro-pas de la rotation de l'effet (La rotation de l'effet est produite par un moteur pas à pas, cette fonction assure la génération des signaux permettant la commande du moteur pas à pas).

#### **FS5.7, FS5.8, FS5.9, FS5.10 : INTERFACE DE PUISSANCE.**

##### Entrées :

*AD[3:0]* : Bus d'adresse/donnée multiplexé.

*CS-xxxx* : Signal de mémorisation de la donnée, actif sur un front montant, voir FS5.3.

##### Sortie :

*C3 (x, y)* : Commande en puissance des effets lumineux (  $x = 1, 3, 5$  ou  $7$  ;  $y = 2, 4, 6$  ou  $8$ ).

#### **FS5.11 : SURVEILLANCE.**

Cette fonction surveille le bon fonctionnement du traitement ( chien de garde).

##### Entrée :

*T0* : Signal périodique qui indique le bon fonctionnement du programme.

##### Sortie :

*WRST* : Impulsion positive d'une durée de  $3\mu s$  suite à l'absence de front positif en *T0* pendant une durée de 45ms.

#### **FS5.12 : INITIALISATION.**

Cette fonction produit une impulsion positive en *RST* à la mise sous tension de FS5.1 et transmet le signal *WRST* sur *RST*.

##### Entrées :

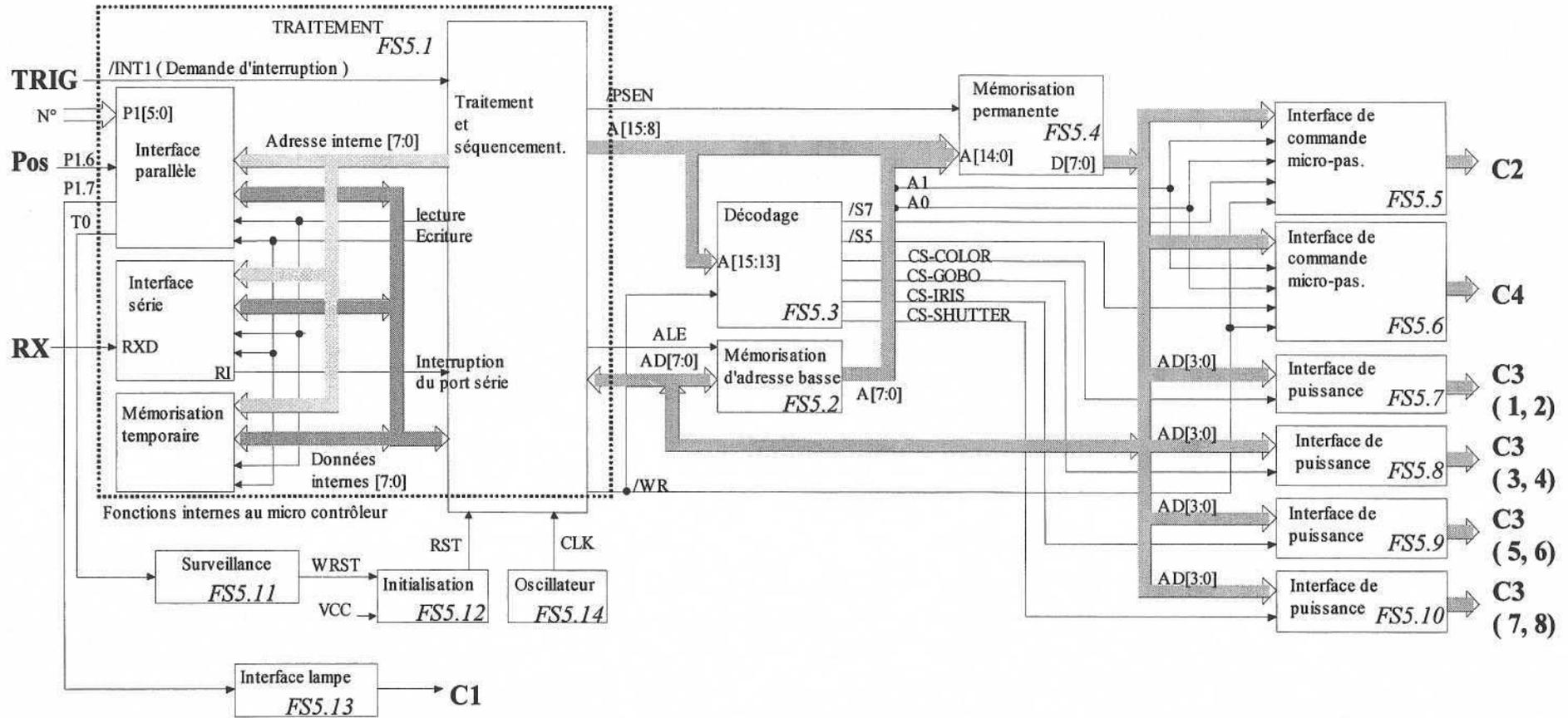
*VCC* : Alimentation de FS5.1.

*WRST* : Impulsion produite par FS5.11.

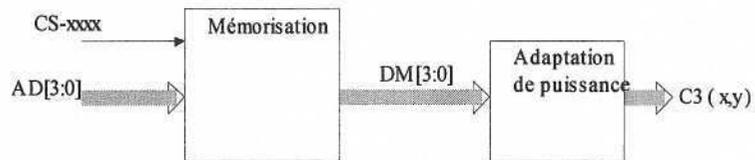
##### Sortie :

*RST* : Signal d'initialisation de FS5.1.

Schéma fonctionnel de second degré de FP5 "gestion des effets"



Décomposition fonctionnelle de la fonction Interface de puissance.



**BREVET DE TECHNICIEN SUPERIEUR**  
**SYSTEMES ÉLECTRONIQUES**

**SESSION 2006**

**ÉPREUVE : ÉLECTRONIQUE**

**DOSSIER TECHNIQUE**

<b>SESSION 2006</b>	<b>CODE : SEE4EL</b>
<b>BT.S. SYSTEMES ÉLECTRONIQUES</b>	
<b><u>ÉPREUVE</u> : ÉLECTRONIQUE</b>	
<b>Durée : 4 heures</b>	<b>Coefficient : 4</b>

# PROJECTEUR D'EFFETS "*CENTREPIECE*"

## DOSSIER TECHNIQUE

**Documents constructeurs.**

**Schéma structurel de l'interface DMX et de FP5**

Documents techniques :

DT1	LE BUS DMX512	p2
DT2	Commandes DMX512 du projecteur CENTREPIECE	p4
DT3	SN 75176 Differential Bus Transceivers	p5
DT4	6 N 137 Optocoupleurs	p6
DT5	Interface série du micro contrôleur 80C32	p7
DT6	74HC138 3 to 8 line decoder / démultiplexeur	p9
DT7	74HC374 Octal D-Type flip flop	p11
DT8	Schéma structurel de l'interface DMX FP6	p13
DT9	Schéma structurel de la fonction Gestion des effets FP5	p14

# Document technique DT1

## LE BUS DMX512

Ce standard est utilisé dans le monde du spectacle pour transmettre des données numériques entre les appareils de contrôle (console, jeu d'orgues) et les appareils d'éclairage et d'effets spéciaux.

### 1 LE PROTOCOLE

La transmission est de type série asynchrone avec de 1 à 32 récepteurs sur la ligne.

Les données sont transmises sur la ligne sous la forme d'une succession d'octets (maximum 512 octets). Chaque octet pouvant représenter une valeur d'intensité, de couleur, de position...

Chaque récepteur se voit attribué (par un jeu de commutateurs) une adresse (adresse ou canal de base) et utilise pour sa commande un nombre fixe de canaux (de 1 à 16). Chaque récepteur reçoit l'intégralité des données transmises et ne prend en compte que les canaux qui lui sont affectés à partir de son adresse de base.

Par exemple un projecteur d'adresse de base  $A_0$  à 4 canaux utilisera donc les canaux  $A_0$   $A_0 + 1$   $A_0 + 2$   $A_0 + 3$  de la trame DMX.

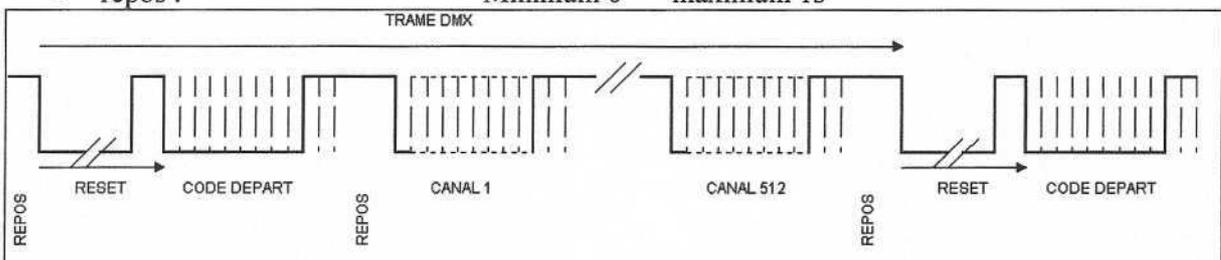
### 2 ORGANISATION DE LA TRAME DMX512 :

#### Début de trame (Reset):

Le début de la trame est marqué par un signal de *Reset* : un **niveau bas (*break*)** suivi d'un état haut (*Mark after break*).

Durées :

- niveau bas (*break*)  $88\mu s$
- état haut (*Mark after break*)  $8\mu s$
- repos : Minimum 0 maximum 1s



#### Code de départ (ou canal 0) :

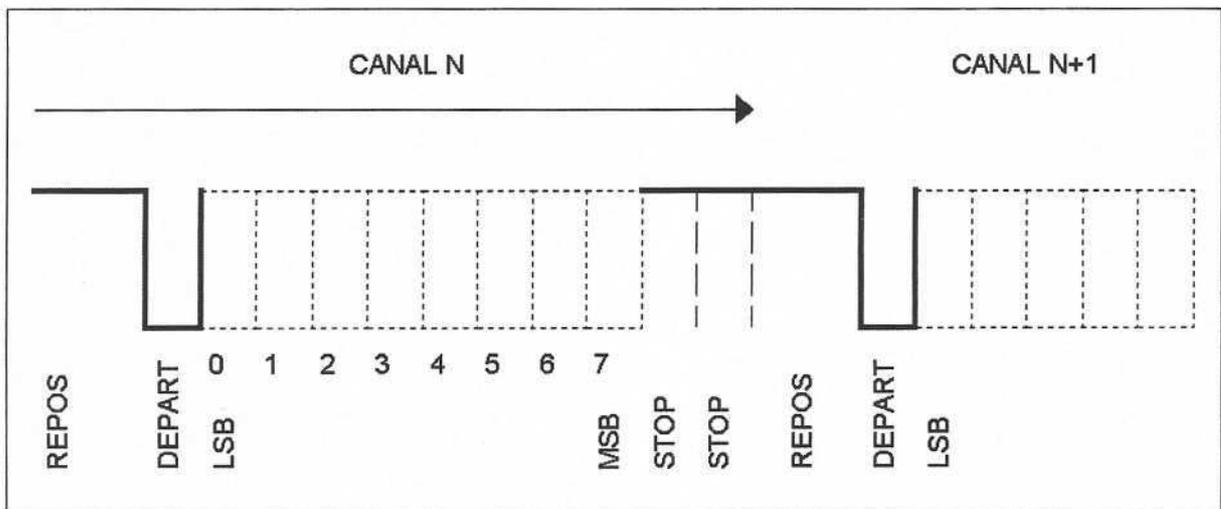
Prévu pour une expansion future du système; non utilisé actuellement le code de départ est un octet à 0.

- Bit 1 Bit de départ (*start*) niveau bas
- Bits 2 à 9 Octet à 0.
- Bits 10 et 11 Bits de stops Niveau Haut.

#### Format de transmission d'un canal :

- Bit 1 Bit de départ (*start*) niveau bas,
- Bits 2 à 9 Octet de données, le *LSB* est transmis en premier, niveau bas : 0 logique,
- Bits 10 et 11 Bits de stops Niveau Haut.

Durée d'un bit :  $4\mu s$   
Repos : Minimum 0 maximum 1s



### 3 LES SPECIFICATIONS ELECTRIQUES

Les spécifications électriques sont celles de la norme EIA RS485 :

- Mode différentiel,
- Longueur de ligne maximale 250m ; Terminaison 120Ω,
- Vitesse de transmission 250 kBits/s,
- Câble à paire torsadée blindé.

Les niveaux de tension sur la ligne :

Tension différentielle minimale (entre *Data +* et *Data -*) : 200mV

Tension de mode commun (entre un conducteur et la masse) : comprise entre -7V et +12V.

### 4 LA CONNECTIQUE

Connecteur type XLR5 broches

- Broche 1 Masse
- Broche 2 *Data -*
- Broche 3 *Data +*
- Broche 4 Optionnelle non utilisée en standard
- Broche 5 Optionnelle non utilisée en standard

Prises sur l'équipement commandé :

- Châssis mâle : réception
- Châssis femelle : Recopie vers un autre équipement télécommandé.

## Document technique DT2

### Commandes DMX512 du projecteur CENTREPIECE

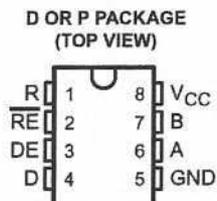
<b>Centrepiece DMX Protocol version 1</b>		
DMX channel requirements : 7 channels		
DMX channel offset	DMX value	Effect
<b>0</b>  <b>Reset fixture, Stand-alone, Lamp On</b>	0-49	Manual Control
	50-99	Stand-alone random music
	100-149	Stand-alone random auto
	150-199	Stand-alone music
	200-247	Stand-alone auto
	248-252	Reset fixture
	253-255	Lamp On
<b>1</b> <b>Tilt 1</b>	0-198	Full Closed → full open
<b>2</b> <b>Tilt 2</b>	0-198	Full Closed → full open
<b>3</b> <b>Tilt 3</b>	0-198	Full Closed → full open
<b>4</b> <b>Tilt 4</b>	0-198	Full Closed → full open
	199-255	Full open
<b>5</b>  <b>Color Carousel</b>	0-123	Rotate Right (fast → slow)
	124	Stop color set 1
	125	Stop color set 2
	126	Stop color set 3
	127	Stop color set 4
	128	Stop color set 5
	129	Stop color set 6
	130	Stop color set 7
	131	Stop color set 8
	132-255	Rotate left (fast → slow)
<b>6</b> <b>Mirror rotation</b>	0-123	Rotate Right (fast → slow)
	124-131	Stop
	132-255	Rotate left (fast → slow)

# Document technique DT3

## SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B - JULY 1985 - REVISED JUNE 1999

- Bidirectional Transceivers
- Meet or Exceed the Requirements of ANSI Standards TIA/EIA-422-B and TIA/EIA-485-A and ITU Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . .  $\pm 60$  mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . 12 k $\Omega$  Min
- Receiver Input Sensitivity . . .  $\pm 200$  mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operate From Single 5-V Supply



The SN75176B differential bus transceiver is a monolithic integrated circuit designed for bidirectional data communication on multipoint bus-transmission lines. It is designed for balanced transmission lines and meets ANSI Standard EIA/TIA-422-B and ITU Recommendation V.11 and X.27.

The SN75176B combines a 3-state differential line driver and a differential input line receiver, both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as a direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or  $V_{CC} = 0$ .

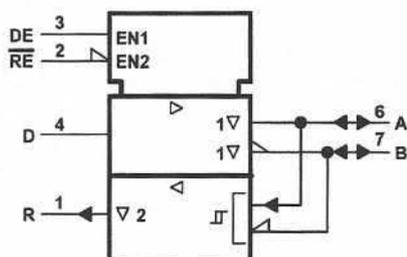
The driver is designed to handle loads up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line fault conditions. The receiver features a minimum input impedance of 12 k $\Omega$ , an input sensitivity of  $\pm 200$  mV, and a typical input hysteresis of 50 mV.

DRIVER				RECEIVER		
INPUT	ENABLE	OUTPUTS		DIFFERENTIAL INPUTS	ENABLE	OUTPUT
D	DE	A	B	A - B	RE	R
H	H	H	L	$V_{ID} \geq 0.2$ V	L	H
L	H	L	H	$-0.2$ V < $V_{ID}$ < 0.2 V	L	?
X	L	Z	Z	$V_{ID} \leq -0.2$ V	L	L
				X	H	Z
				Open	L	?

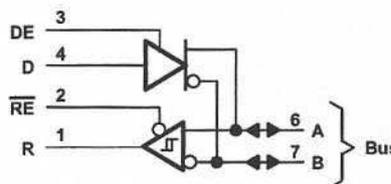
H = high level, L = low level, ? = indeterminate,  
X = irrelevant, Z = high impedance (off)

$V_{ID} = A - B$

logic symbol



logic diagram (positive logic)



# High CMR, High Speed TTL Compatible Optocouplers

## Technical Data

6N137	
HCNW137	HCPL-0631
HCNW2601	HCPL-0661
HCNW2611	HCPL-2601
HCPL-0600	HCPL-2611
HCPL-0601	HCPL-2630
HCPL-0611	HCPL-2631
HCPL-0630	HCPL-4661

### Features

- 5 kV/μs Minimum Common Mode Rejection (CMR) at  $V_{CM} = 50$  V for HCPL-X601/X631, HCNW2601 and 10 kV/μs Minimum CMR at  $V_{CM} = 1000$  V for HCPLX611/X661, HCNW2611
- High Speed: 10 MBd Typical
- LSTTL/TTL Compatible
- Low Input Current Capability: 5 mA
- Guaranteed ac and dc performance over Temperature: -40°C to +85°C
- Available in 8-Pin DIP, SOIC-8, Widebody Packages
- Storable Output (Single Channel Products Only)

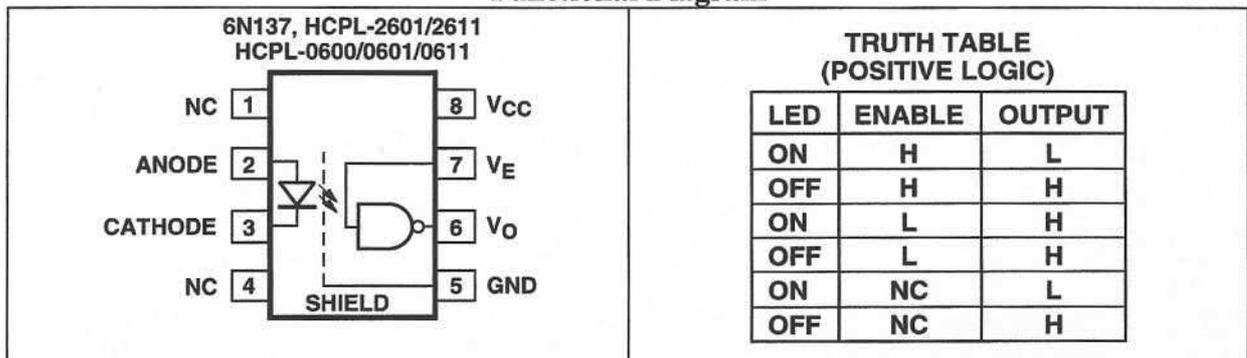
### Applications

- Isolated Line Receiver
- Computer-Peripheral Interfaces
- Microprocessor System Interfaces
- Digital Isolation for A/D, D/A Conversion
- Switching Power Supply
- Instrument Input/Output Isolation
- Ground Loop Elimination
- Pulse Transformer Replacement
- Power Transistor Isolation in Motor Drives
- Isolation of High Speed Logic Systems

### Description

The 6N137, HCPL-26XX/06XX/4661, HCNW137/26X1 are optically coupled gates that combine a GaAsP light emitting diode and an integrated high gain photo detector. An enable input allows the detector to be strobed. The internal shield provides a guaranteed common mode transient immunity specification of 5,000 V/μs for the HCPL-X601/X631 and HCNW2601, and 10,000 V/μs for the HCPL-X611/X661 and HCNW2611.

### Functional Diagram



## Document technique DT5

### INTERFACE SÉRIE DU MICRO CONTRÔLEUR 80C32.

L'interface série est du type " Full duplex "; il peut émettre et recevoir simultanément et dispose d'un registre de réception ce qui permet de commencer la réception d'un second octet alors que le précédent n'est pas encore lu. Les registres de réception et de transmission " SBUF " occupent tous les deux la même adresse; une écriture dans ce registre charge le registre de transmission et une lecture de ce registre restitue l'octet reçu. La transmission est initialisée par l'écriture dans le registre " SBUF ". Le registre " SCON " permet la configuration de l'interface série

#### Registres et bit associés à l'interface série.

Nom	Description	Adresse	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	Registre de donnée	99H	8 bits de donnée							
SCON	Registre de contrôle	98H	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
PCON		87H	SMOD	-	-	-	-	-	-	-

#### Modes de fonctionnements.

Vitesse de transmission : La vitesse de transmission est exprimée en " BAUD " et correspond ici au nombre de bits transmis par seconde. (Exemple 110 bauds = 110 bits / seconde ).

L'interface série dispose de 4 modes de fonctionnement, qui déterminent la vitesse de transmission et le nombre de bits transmis.

MODE	VITESSE (BAUD)	DONNEES TRANSMISES
0	Foscil / 12	8 bits sont transmis ou reçus ( LSB en premier ) sur la ligne " RXD ( P3.0 ) ". La ligne " TXD ( P3.1 ) " est utilisée comme sortir pour l'horloge de transmission.
1	Variable fixée par le débordement du compteur 1 divisé par 16 ou 32	10 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit de stop ( 1 )
2	Fosci / 32 ( SMOD = 1 ) ou Fosci / 64(SMOD = 0 )	11 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit programmable ( TD8 en transmission, RB8 en réception ) 1 bit de stop ( 1 )
3	Variable fixée par le débordement du compteur 1 divisé par 16 ou 32	11 bits sont transmis sur la ligne " TXD " ou reçus sur la ligne " RXD ": 1 bit de départ ( 0 ) 8 bits de donnée ( LSB en premier ) 1 bit programmable ( TD8 en transmission, RB8 en réception ) 1 bit de stop ( 1 )

Le rapport de division de 1 ou 2 pour les modes 1 , 2 et 3 est configuré par le bit " SMOD " du registre "PCON ".

Pour le mode 0 la réception est initialisée par la condition RI = 0 (bit 0 du registre " SCON ") et REN = 1 (bit 4 du registre "SCON"). Pour les autres modes la réception est initialisée par la détection du bit de départ si REN=1.

## Registre de contrôle.

Serial control " SCON " : Ce registre 8 bits contrôle le fonctionnement de l'interface série.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

<b>SM0</b>	SCON.7	SM0 : SM1 Mode					
<b>SM1</b>	SCON.6	0	0	0	Registre à décalage 8 bits		
		0	1	1	" UART <sup>1</sup> " 8 bits ( Start 8 bits Stop )		
		1	0	2	" UART " 9 bits ( Start 9 bits Stop )		
		1	1	3	" UART " 9 bits ( Start 9 bits Stop )		
<b>SM2</b>	SCON.5	Mode 0 : SM2 doit être mis à 0.					
		Mode 1 :					
		SM2 = 0 Pas d'influence					
		SM2 = 1 L'interruption en réception est autorisée pour la réception correcte du bit de stop.					
		Mode 2 et 3 :					
		SM2 = 0 L'interruption en réception est générée quelque soit l'état du bit RB8.					
		SM2 = 1 L'interruption est générée si le bit RB8 est à 1.					
<b>REN</b>	SCON.4	0 : Déconnecte la réception.					
		1 : Réception active.					
<b>TB8</b>	SCON.3	Contient l'état logique du neuvième bit à transmettre pour les modes 2 et 3.					
<b>RB8</b>	SCON.2	Indique l'état logique du neuvième bit reçu dans les modes 2 et 3.					
<b>TI</b>	SCON.1	Demande d'interruption pour la transmission. Mis à 1 (matériellement) à la fin de la transmission du bit 8 dans le mode 0 et au début de la transmission du bit de stop pour les autres modes. Ce bit doit être remis à 0 par logiciel.					
<b>RI</b>	SCON.0	Demande d'interruption pour la réception. Mis à 1 (matériellement) à la fin de la réception du bit 8 pour le mode 0, au milieu de la réception du bit de stop pour le mode 1 et au milieu de la réception du bit RB8 pour les modes 2 et 3. Cet indicateur doit être remis à 0 par logiciel.					

<sup>1</sup> UART : *universal asynchronous receiver-transmitter*

# Document technique DT6

Philips Semiconductors

Product specification

## 3-to-8 line decoder/demultiplexer; inverting

## 74HC/HCT138

### FEATURES

- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Active LOW mutually exclusive outputs
- Output capability: standard
- I<sub>CC</sub> category: MSI

### GENERAL DESCRIPTION

The 74HC/HCT138 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT138 decoders accept three binary weighted address inputs (A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>) and when enabled, provide 8 mutually exclusive active LOW outputs ( $\bar{Y}_0$  to  $\bar{Y}_7$ ).

The "138" features three enable inputs: two active LOW ( $\bar{E}_1$  and  $\bar{E}_2$ ) and one active HIGH (E<sub>3</sub>). Every output will be HIGH unless  $\bar{E}_1$  and  $\bar{E}_2$  are LOW and E<sub>3</sub> is HIGH.

This multiple enable function allows easy parallel expansion of the "138" to a 1-of-32 (5 lines to 32 lines) decoder with just four "138" ICs and one inverter.

The "138" can be used as an eight output demultiplexer by using one of the active LOW enable inputs as the data input and the remaining enable inputs as strobes. Unused enable inputs must be permanently tied to their appropriate active HIGH or LOW state.

The "138" is identical to the "238" but has inverting outputs.

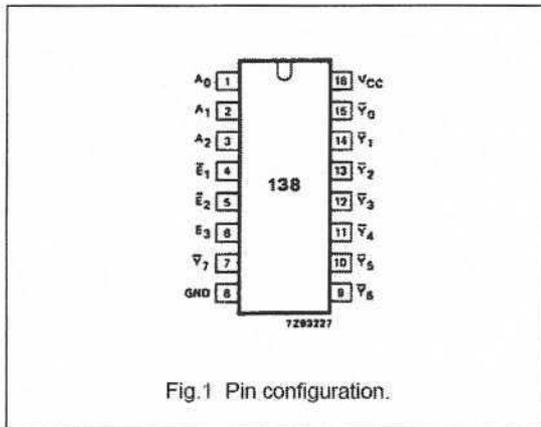


Fig.1 Pin configuration.

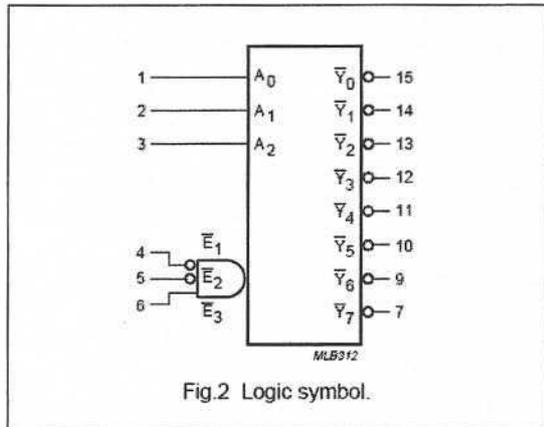


Fig.2 Logic symbol.

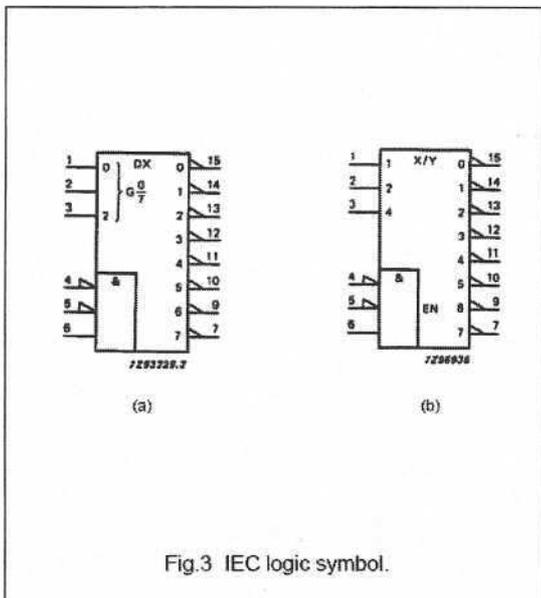


Fig.3 IEC logic symbol.

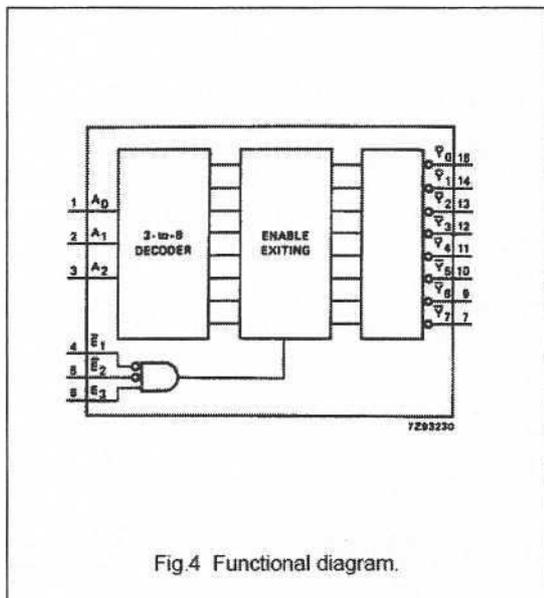


Fig.4 Functional diagram.

3-to-8 line decoder/demultiplexer; inverting

74HC/HCT138

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	$A_0$ to $A_2$	address inputs
4, 5	$\bar{E}_1, \bar{E}_2$	enable inputs (active LOW)
6	$E_3$	enable input (active HIGH)
8	GND	ground (0 V)
15, 14, 13, 12, 11, 10, 9, 7	$\bar{Y}_0$ to $\bar{Y}_7$	outputs (active LOW)
16	$V_{CC}$	positive supply voltage

FUNCTION TABLE

INPUTS						OUTPUTS							
$\bar{E}_1$	$\bar{E}_2$	$E_3$	$A_0$	$A_1$	$A_2$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Notes

- H = HIGH voltage level  
L = LOW voltage level  
X = don't care

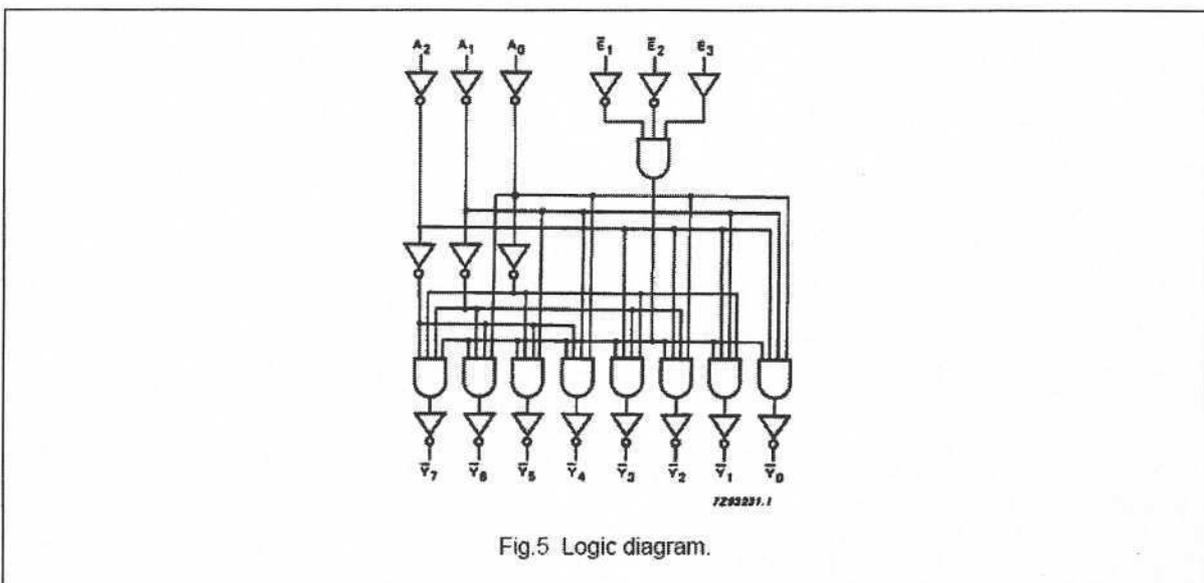


Fig.5 Logic diagram.

**Octal D-type flip-flop; positive edge-trigger; 3-state**

**74HC/HCT374**

**FEATURES**

- 3-state non-inverting outputs for bus oriented applications
- 8-bit positive, edge-triggered register
- Common 3-state output enable input
- Independent register and 3-state buffer operation
- Output capability: bus driver
- I<sub>CC</sub> category: MSI

The 74HC/HCT374 are octal D-type flip-flops featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A clock (CP) and an output enable ( $\overline{OE}$ ) input are common to all flip-flops.

The 8 flip-flops will store the state of their individual D-inputs that meet the set-up and hold times requirements on the LOW-to-HIGH CP transition.

When  $\overline{OE}$  is LOW, the contents of the 8 flip-flops are available at the outputs. When  $\overline{OE}$  is HIGH, the outputs go to the high impedance OFF-state. Operation of the  $\overline{OE}$  input does not affect the state of the flip-flops.

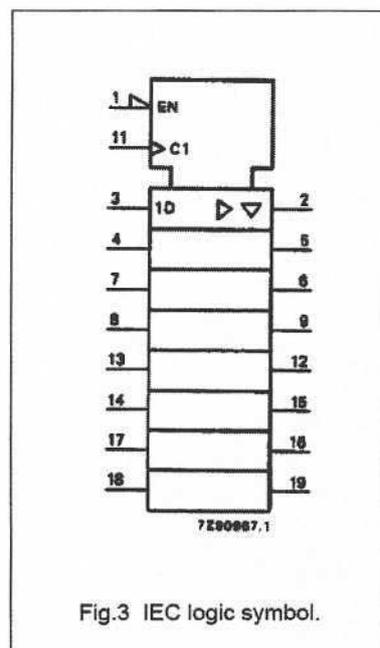
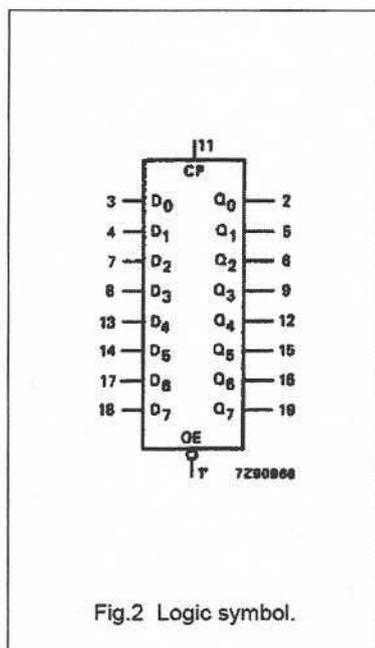
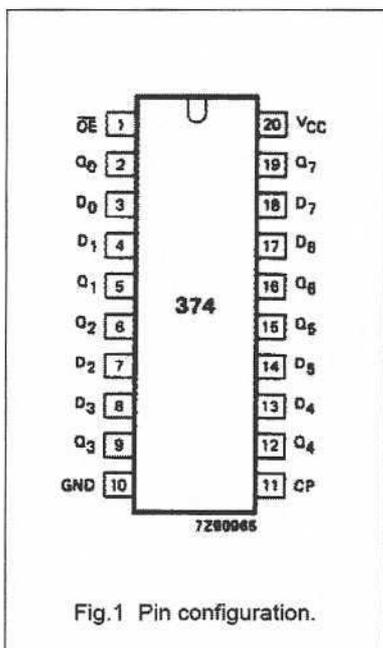
**GENERAL DESCRIPTION**

The 74HC/HCT374 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The "374" is functionally identical to the "534", but has non-inverting outputs.

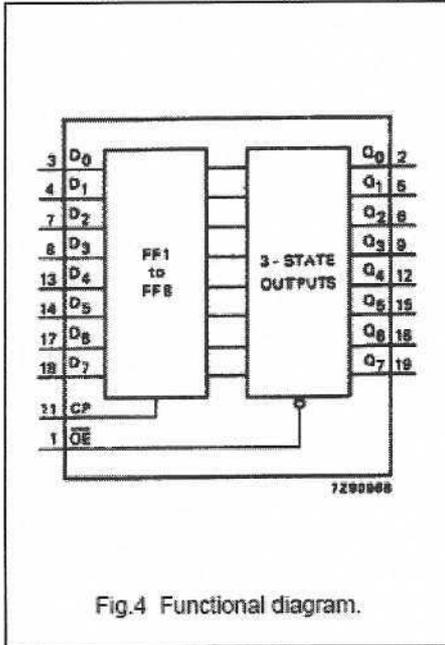
**PIN DESCRIPTION**

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 5, 6, 9, 12, 15, 16, 19	Q <sub>0</sub> to Q <sub>7</sub>	3-state flip-flop outputs
3, 4, 7, 8, 13, 14, 17, 18	D <sub>0</sub> to D <sub>7</sub>	data inputs
10	GND	ground (0 V)
11	CP	clock input (LOW-to-HIGH, edge-triggered)
20	V <sub>CC</sub>	positive supply voltage



Octal D-type flip-flop; positive edge-trigger;  
3-state

74HC/HCT374

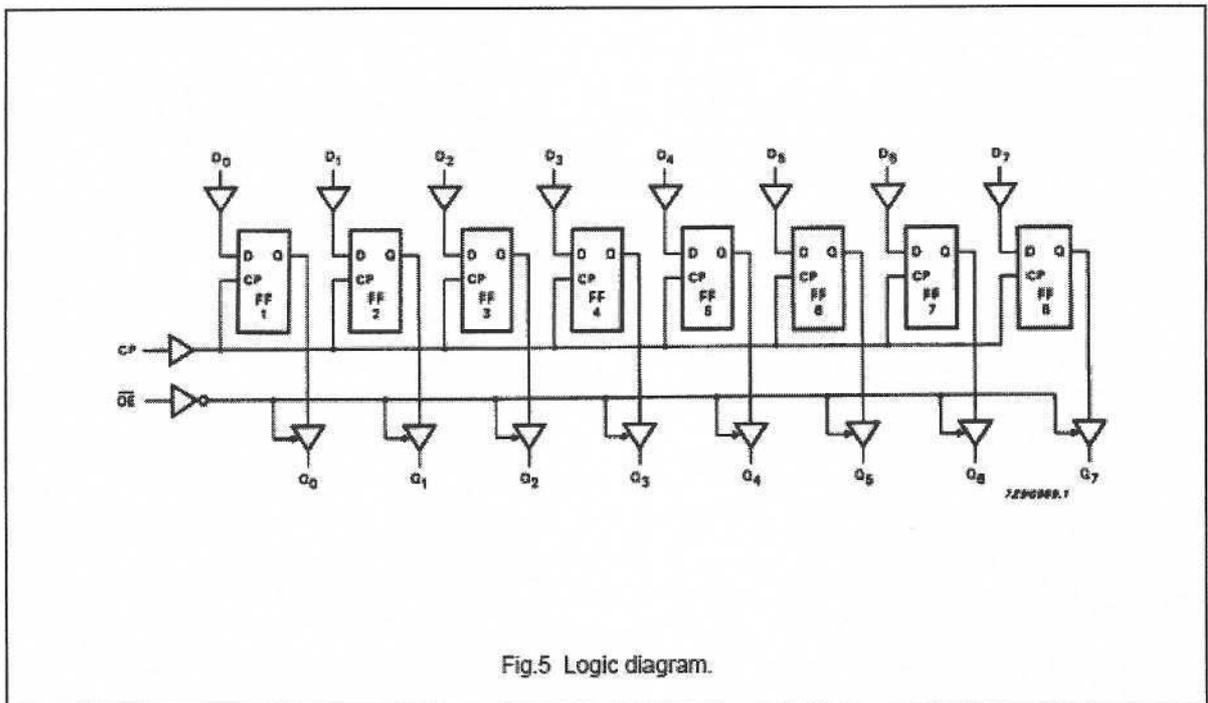


FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL FLIP-FLOPS	OUTPUTS
	$\overline{OE}$	CP	$D_n$		$Q_0$ to $Q_7$
load and read register	L	$\uparrow$	l	L	L
register	L	$\uparrow$	h	H	H
load register and disable outputs	H	$\uparrow$	l	L	Z
	H	$\uparrow$	h	H	Z

Notes

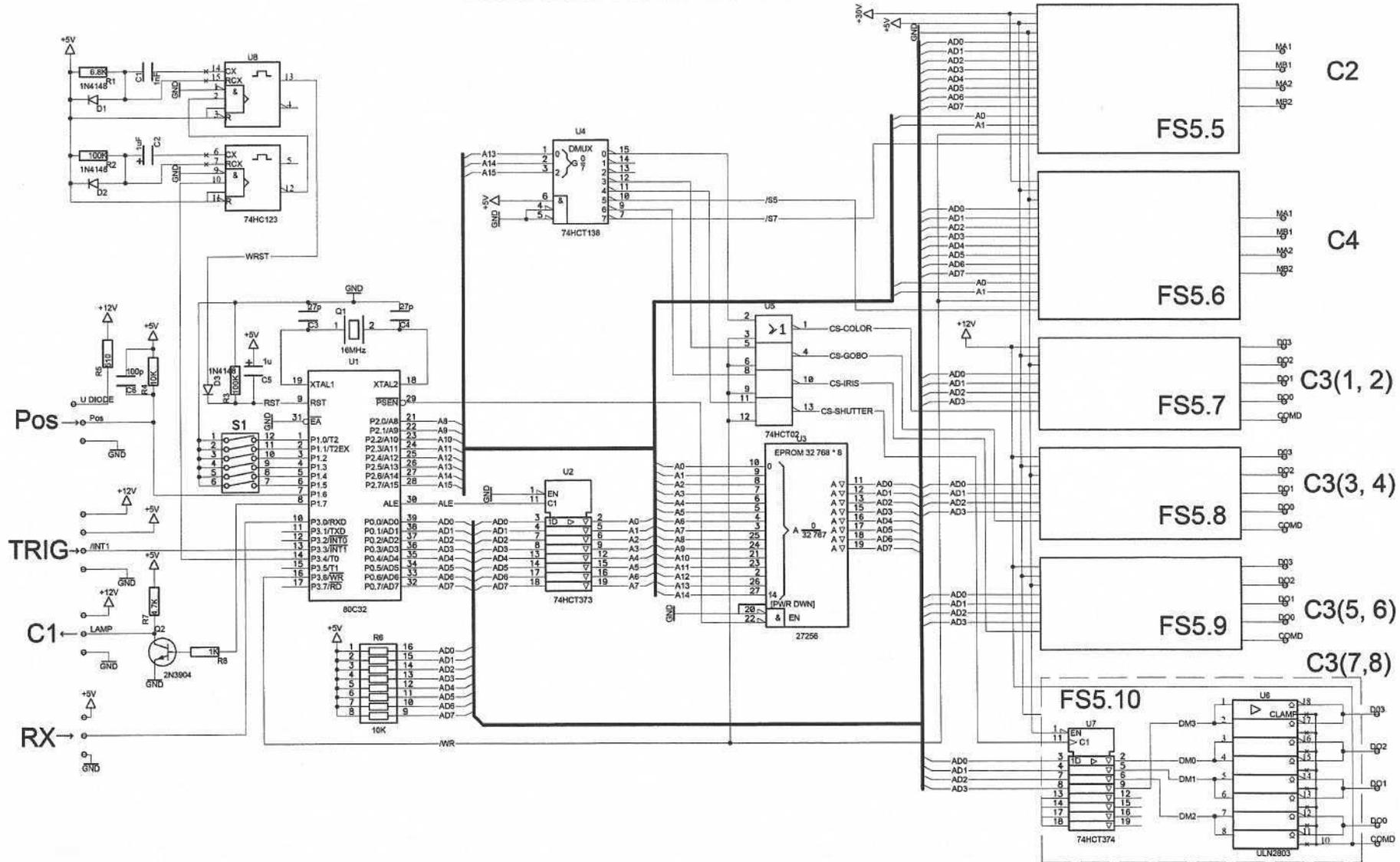
- H = HIGH voltage level  
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 L = LOW voltage level  
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition  
 Z = high impedance OFF-state  
 $\uparrow$  = LOW-to-HIGH CP transition





## Document technique DT9

### Schéma structurel de la fonction Gestion des effets FP5.



**BREVET DE TECHNICIEN SUPERIEUR**

**SYSTEMES ÉLECTRONIQUES**

**SESSION 2006**

**ÉPREUVE : ÉLECTRONIQUE**

***DOSSIER QUESTIONS ET REPONSES***

<b>SESSION 2006</b>	<b>CODE : SEE4EL</b>
<b>B.T.S. SYSTEMES ÉLECTRONIQUES</b>	
<b><u>ÉPREUVE</u>: ÉLECTRONIQUE</b>	
<b>Durée : 4 heures</b>	<b>Coefficient : 4</b>

# **PROJECTEUR D'EFFETS "*CENTREPIECE*"**

## **DOSSIER QUESTIONS ET RÉPONSES**

**1 La liaison console d'éclairage - projecteur d'effets**

**2 Interface DMX FP6**

**3 Interface série, fonction interne au micro contrôleur FS5.1**

**4 Programme de reconnaissance du canal**

**5 Gestion des effets et du protocole de communication FP5 Analyse structurelle**

**6 Déclenchement d'effets mémorisés FP7**





## 2.2 Réception différentielle

On donne ci-dessous les oscillogrammes aux points A(CH1) et B (CH2), broches 6 et 7 de IC231.

⇒ Montrer que la fonction est assurée en complétant ci-dessous le chronogramme du signal R (Broche 1 de IC231).

⇒ Analyser la documentation technique DT4 (Optocoupleur 6N137) du circuit IC232 pour décrire le rôle de sa broche 7 (VE).

En déduire la forme du chronogramme du signal *RXD0*.

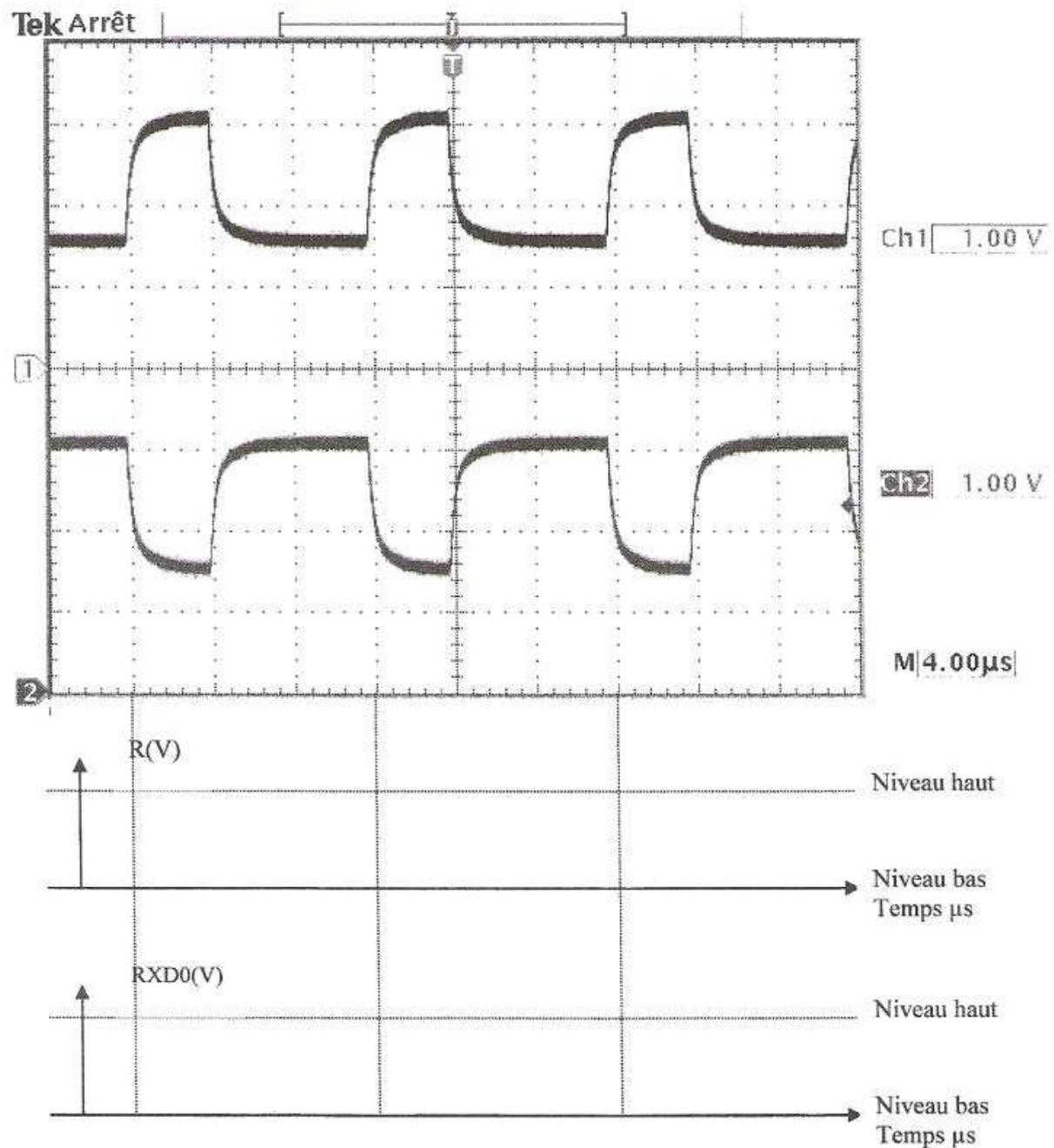
Nota :

Echelle 1V/carreau,

Les flèches 1 et 2 repèrent le niveau 0V des signaux A (CH1) et B (CH2).

Rôle de la broche 7 du circuit IC232 :

.....  
.....  
.....



### 3 INTERFACE SERIE (FONCTION INTERNE AU MICRO CONTRÔLEUR FS5.5).

But : Vérifier que la fonction interface série est paramétrée correctement pour permettre à la structure logicielle de se synchroniser sur le " break " de la trame DMX512.

#### 3 1 Présentation.

Cette fonction est chargée de restituer en parallèle les informations séries de la trame DMX512 reçues via RX. Ces informations sont transmises à la fonction traitement et séquençement en parallèle via le bus des données internes à FS5.1 ( voir Schéma fonctionnel de second degré de FP5 dans le dossier de présentation ). Un indicateur RI signale à la fonction traitement et séquençement la disponibilité d'une information.

Le début de la trame DMX512 est signalé par la transmission d'un état bas, le break, qu'il faut détecter pour associer les données reçues au canal (voir document technique DT1 Le bus DMX).

#### 3 2 Détection du break.

⇒ Rappeler la durée T d'un bit et la durée Tbr de l'information Break.

T = ..... Tbr=.....

⇒ En déduire pour l'émission d'un break le nombre de bits émis au 0 logique.

Break = ..... bits à 0.

⇒ Compléter le tableau suivant avec l'état logique des bits définis (0, 1 ou X pour un bit dont la valeur est inconnue). Pour le début de trame (le break), on se limite aux 11 premiers bits.

Motif	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8	Bit 9	Bit 10	Bit 11
Break	0	0									
Départ	0	0									
Canal n	0	X									

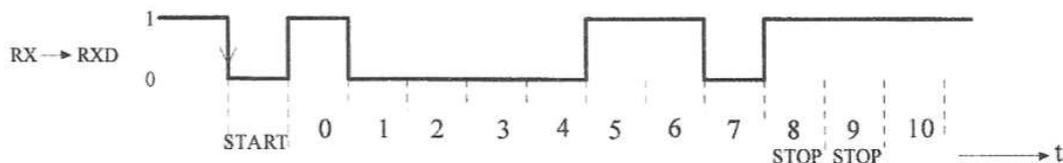
⇒ Analyser le tableau précédent pour indiquer le bit (ou les bits) à analyser pour distinguer le break des autres informations.

.....  
 .....

#### 3 3 Interface série.

Le format de la réception est fixé à 11 bits dans le mode 2.

⇒ Analyser la documentation technique DT5 pour indiquer le contenu du registre SBUF en binaire et en hexadécimal et l'état logique de RB8 pour la réception suivante.



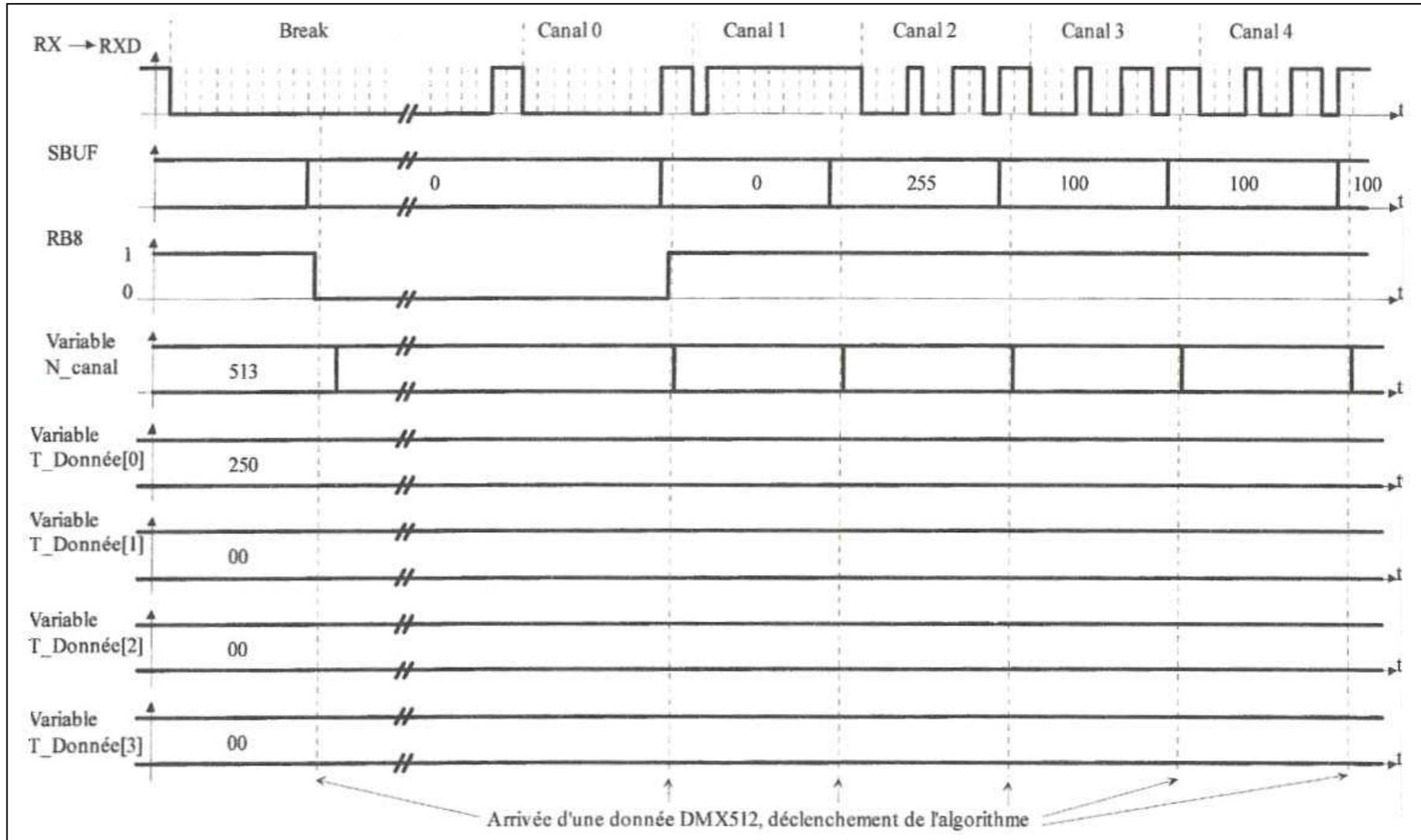
SBUF = ..... RB8 = .....



Avec la variable " Mon canal " = 1.

⇒ Compléter les chronogrammes suivants avec le contenu des variables " N\_canal ", " T\_Donnée[0] ", " T\_Donnée[1] ", " T\_Donnée[2] " et " T\_Donnée[3] ".

Notations : Les chronogrammes sont à compléter en reprenant la notation utilisée pour SBUF, fournir les valeurs en décimal.



## 5 ANALYSE STRUCTURELLE DE FP5 GESTION DES EFFETS ( DT9 ).

*But : Valider la solution constructeur en établissant les chronogrammes d'écriture d'une donnée commande d'un effet lumineux.*

### 5 1 Présentation.

Le micro processeur (80C32) qui réalise la fonction FS5.1 exécute la suite des instructions qui compose le programme de traitement par une boucle infinie de :

- Lecture de l'instruction,
- Exécution de l'instruction lue,
- Pointer l'instruction suivante.

Nota : Des informations techniques détaillées sur les composants U4 et U7 sont disponibles dans le dossier technique DT6 et DT7)

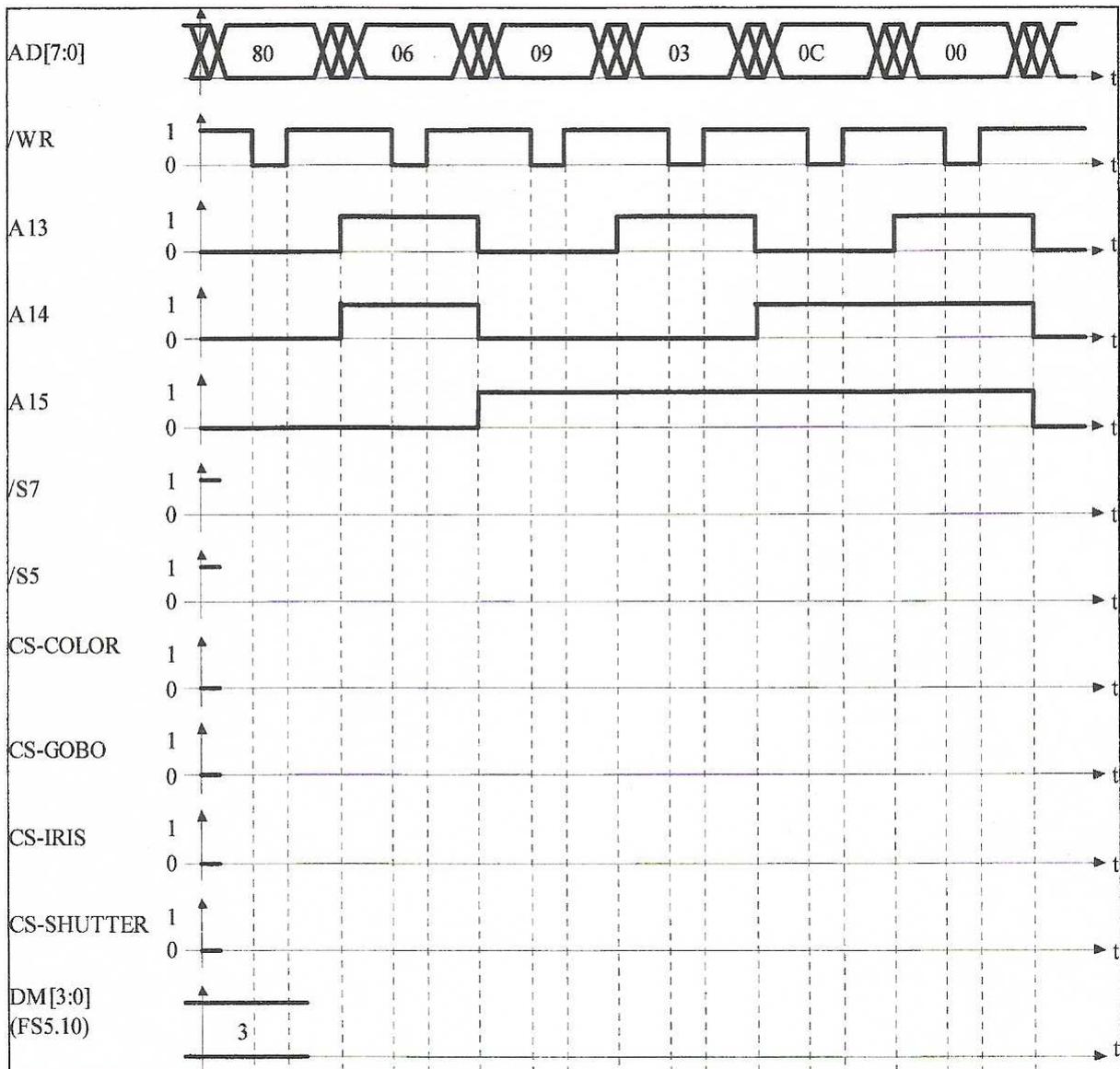
### 5 2 Ecriture de donnée vers la commande des effets.

Le traitement des canaux transmis par la trame DMX512 permet d'établir la commande en puissance des effets lumineux. La commande des effets lumineux est transmise aux fonctions d'interface FS5.5 à FS5.10 par le bus multiplexé d'adresse et de donnée AD[7:0] et mémorisée dans la fonction FS5.5 à FS5.10 pour conserver cette commande jusqu'à la prochaine écriture. Le bus multiplexé AD[7:0] est commun aux fonctions FS5.5 à FS5.10, la fonction décodage analyse l'adresse d'écriture pour sélectionner la fonction qui doit mémoriser la commande. Le signal /WR à 0 indique un cycle d'écriture.

⇒ Analyser le schéma fonctionnel de second degré de FP5 (revoir le dossier de présentation) et le schéma structurel (DT9) pour indiquer la référence des deux composants qui réalisent la fonction FS5.3.

.....

⇒ Analyser le schéma structurel et la documentation technique pour compléter les chronogrammes (page suivante) d'écriture des commandes des effets spéciaux.



## 6 DECLENCHEMENT D'EFFETS MEMORISES FP7

*But : Vérifier que la structure permet une synchronisation des effets lumineux sur la musique.*

L'information sonore est captée par un microphone. Les variations de niveau sonore en entrée provoquent un front de l'information logique *Trig* en sortie. Celle-ci induit le déclenchement des effets mémorisés par la fonction Gestion des effets FP5.

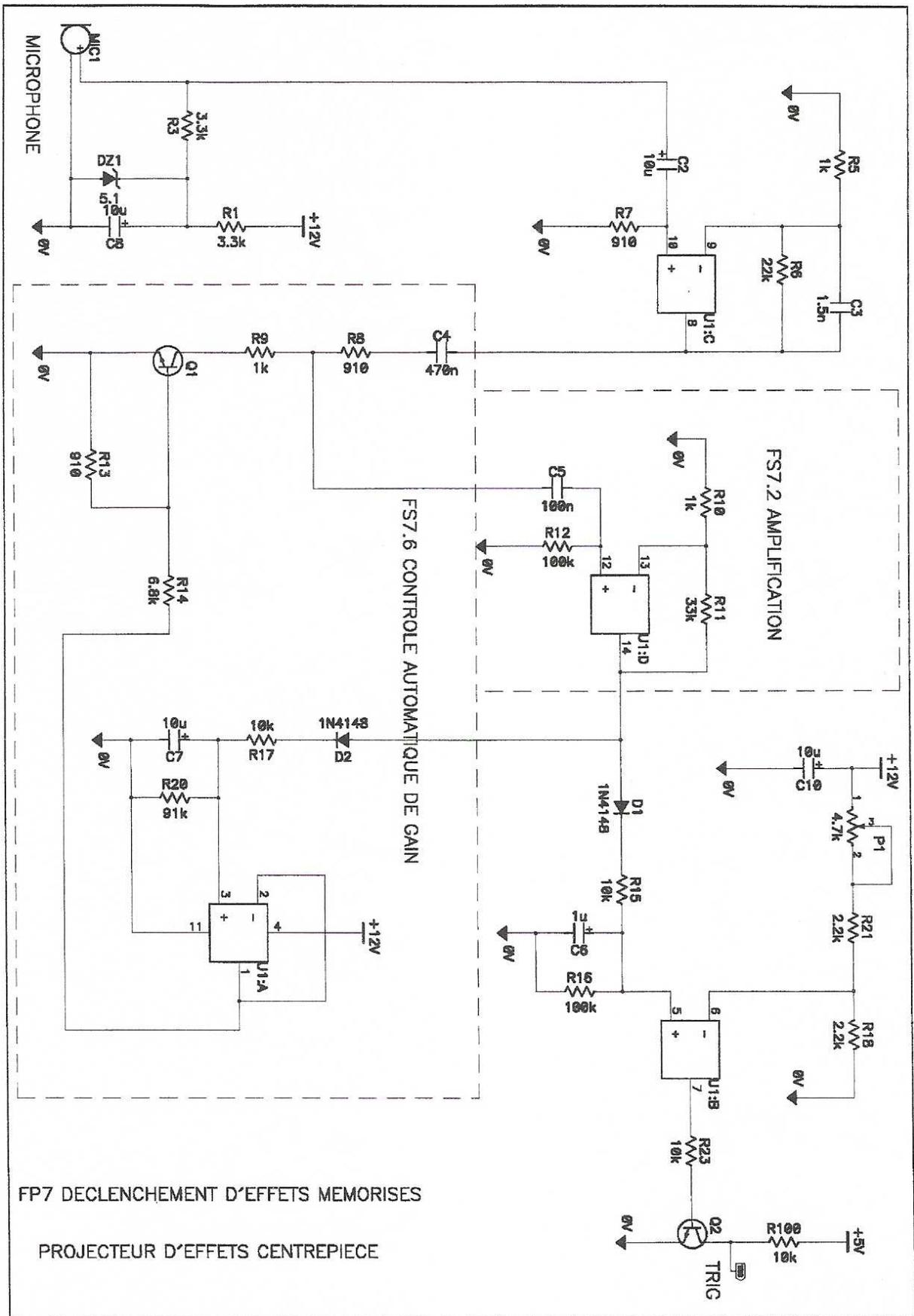
### 6.1 Organisation fonctionnelle

⇒ Encadrer et nommer sur le schéma structurel ci-dessous de la fonction "FP7 Déclenchement d'effets mémorisés", les fonctions secondaires suivantes :

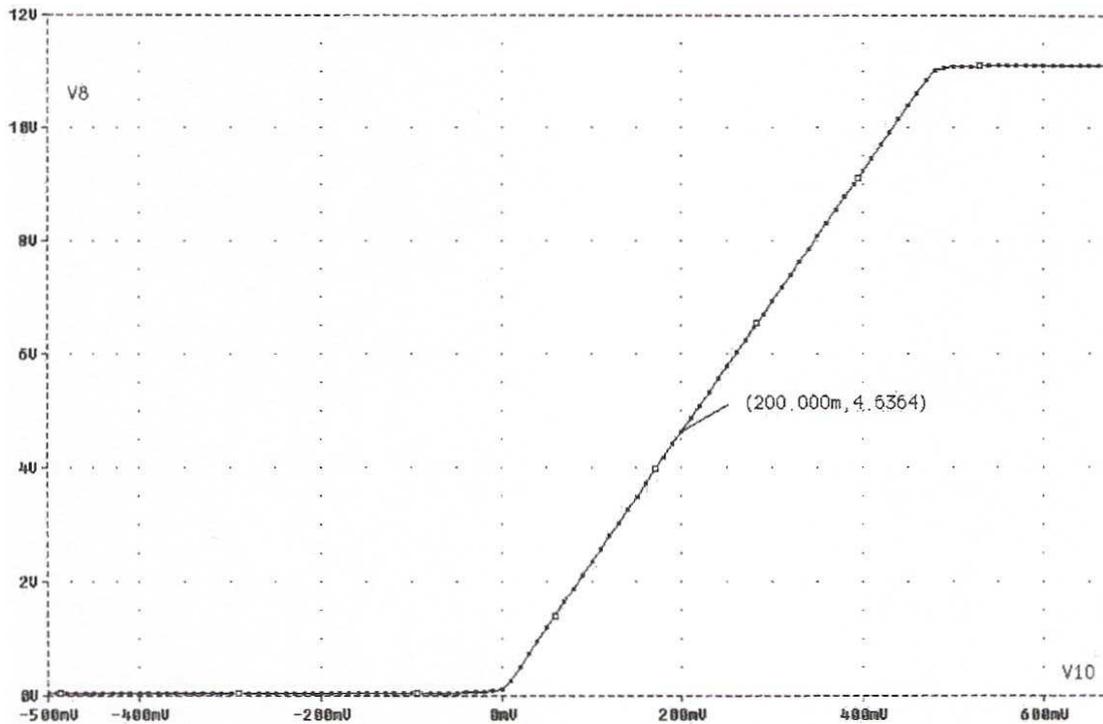
- FS7.1 Amplification passe-bande,
- FS7.3 Comparaison,
- FS7.4 Redressement filtrage,
- FS7.5 Conversion acoustique électrique.

Nota :

La fonction FS7.6 " contrôle automatique de gain " introduit dans la chaîne d'amplification une atténuation variable ; l'amplification globale diminue lorsque le niveau sonore augmente. Cette fonction, non étudiée ici, permet l'accentuation de l'influence des variations rapides du niveau sonore.







⇒ Relever sur cette courbe la valeur du coefficient d'amplification  $A_{71}$ .

$$A_{71} = \frac{\Delta V_8}{\Delta V_{10}}$$

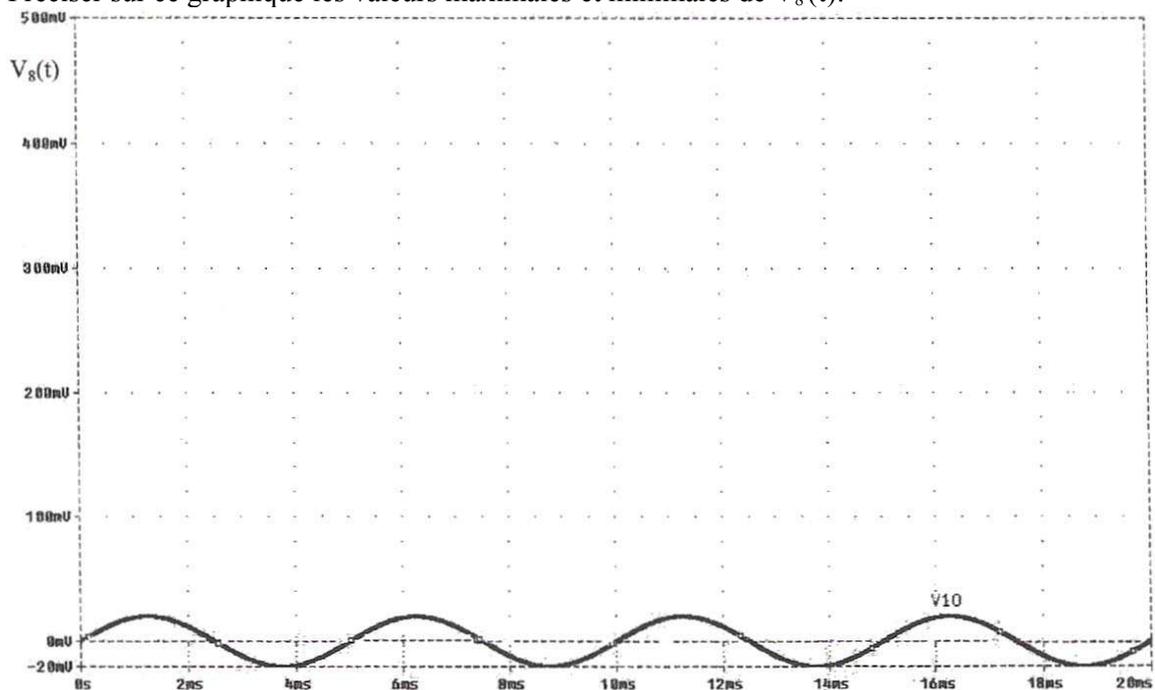
.....  
 .....  
 ..... Valeur relevée sur la courbe  $A_{71} =$  \_\_\_\_\_

⇒ Montrer que cette valeur numérique du coefficient d'amplification peut être associée aux valeurs des résistances  $R_5$  et  $R_6$ .

.....  
 .....

⇒ Tracer ci-dessous l'allure de la tension  $V_8(t)$  pour la tension  $V_{10}(t)$  proposée (amplitude  $A_{10} = 20mV$ ).

⇒ Préciser sur ce graphique les valeurs maximales et minimales de  $V_8(t)$ .



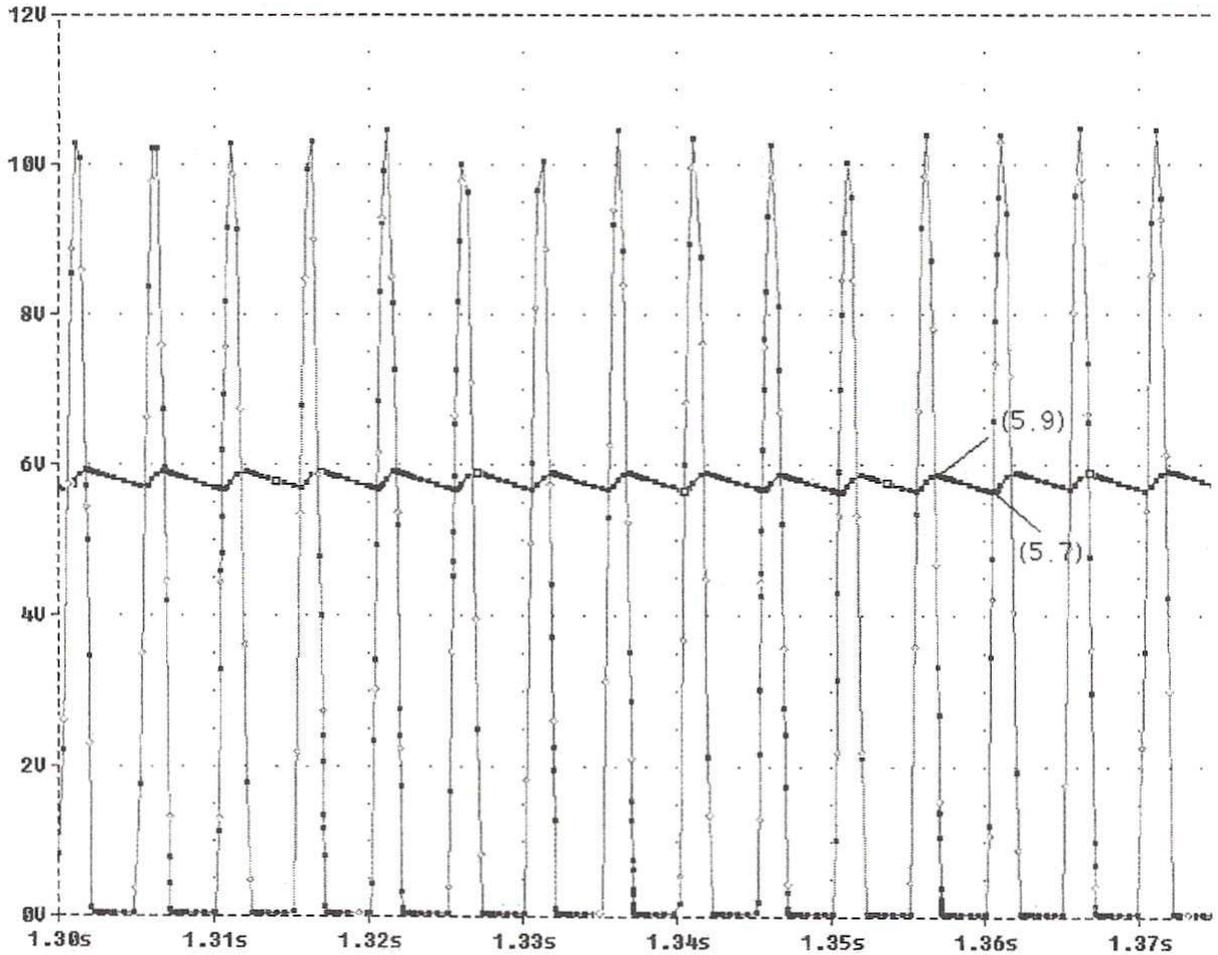
### 6.4 Redressement filtrage FS7.4

La valeur moyenne de la tension  $V_5$  est représentative du niveau sonore en entrée.

⇒ Repérer sur le graphe ci-dessous, résultat d'une simulation, les grandeurs  $V_{14}$  et  $V_5$ . Estimer, dans ce cas, la valeur moyenne  $V_{5\text{moy}}$  de la tension  $V_5$ .

Notations :

- $V_{14}$  : d.d.p. entre la broche 14 du circuit intégré et la référence 0V,
- $V_5$  : d.d.p. entre la broche 5 du circuit intégré et la référence 0V.



.....  
.....  
.....  
.....  
.....  $V_{5\text{moy}} =$  \_\_\_\_\_



### 6.6 Fonctionnement d'ensemble :

L'oscillogramme ci-dessous représente les variations de la tension  $V_5$  (Ch2) lorsque la tension d'entrée  $V_{mic}$  (Ch1, aux bornes du microphone) varie par paliers successifs d'amplitudes : 10mV, 15mV, 20mV, 25mV.

⇒ Le seuil de la fonction comparaison FS7.3 est fixé à 4,8V, reporter, dans le système d'axes proposés, les variations de la tension de sortie  $V_{trig}$ .

Nota : l'ondulation du signal  $V_5$  n'est pas à prendre en compte.

