

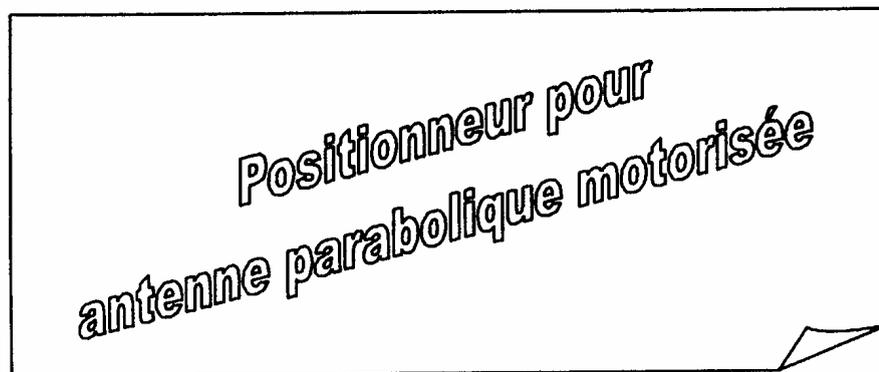
# BACCALAUREAT TECHNOLOGIQUE

## STI Génie électronique

### Epreuve N°5 – E.S.T.I

Durée : 6 heures

coefficient : 8



Ce sujet comporte 5 dossiers :

- |  |       |
|--|-------|
| 1. <i>Mise en situation, étude fonctionnelle (EF1 à EF6)</i>         | BLEU  |
| 2. <i>Etude de la partie électronique (Q1 à Q6 et DR1 à DR3)</i>     | BLANC |
| 3. <i>Documents annexes de la partie électronique (DOC1 à DOC17)</i> | JAUNE |
| 4. <i>Etude de la partie mécanique (DR-MECA1 à DR-MECA5)</i>         | BLANC |
| 5. <i>Documents techniques mécaniques (DT-MECA1 à DT-MECA4)</i>      | VERT  |

Tout document interdit. Calculatrice réglementaire autorisée.

SESSION 1998

# **POSITIONNEUR POUR ANTENNE PARABOLIQUE MOTORISEE**

## **PRESENTATION DU SYSTEME**

### **MISE EN SITUATION ETUDE FONCTIONNELLE**

Ce dossier apporte des informations communes  
à la partie mécanique et électronique

**Ce document contient les pages EF1 à EF6**

# 1. LA TELEVISION PAR SATELLITE

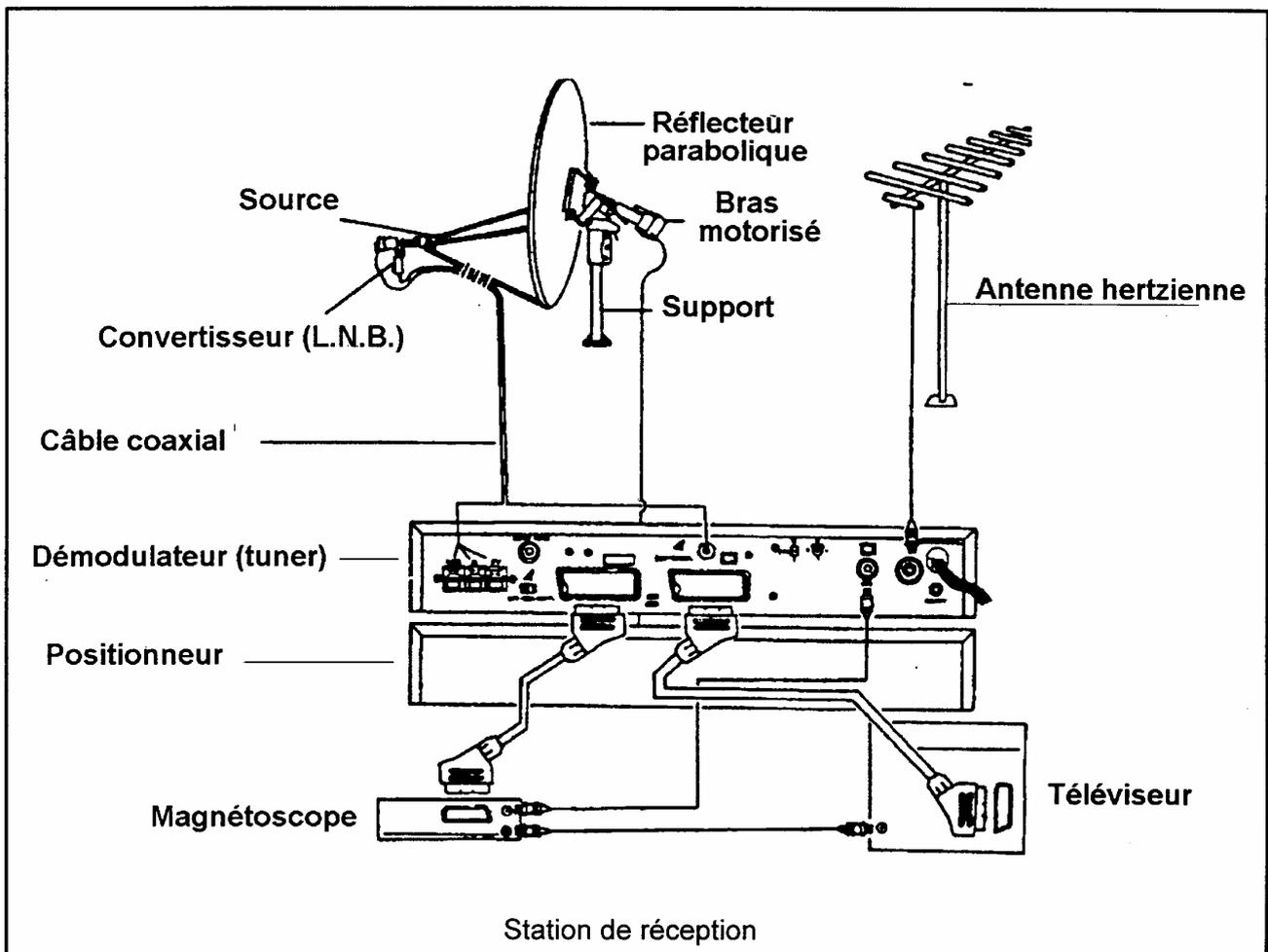
## 1.1. Principe de télévision directe par satellite

Tous les satellites de diffusion destinés à la réception directe sont de type géostationnaires à orbite équatorial. Ils tournent à la même vitesse que la terre, dans un plan de l'équateur, à 35 800 Km du sol et semblent fixes à un observateur terrestre.

Le satellite est un récepteur - émetteur qui reçoit des ondes radio - électrique modulées (14GHz à 18,1GHz) provenant d'une station terrestre (liaison montante). Il restitue ce signal en direction de la terre après avoir modifié la fréquence du signal porteur (10,95GHz à 12,75GHz) afin d'éviter les interférences (liaison descendante).

Le signal ainsi émis est capté par une antenne parabolique qui le dirige vers une tête de réception « LNB ». Cette tête de réception équipée d'un sélecteur de polarisation va convertir les fréquences reçues dans une bande intermédiaire (0,9 à 1,5GHz) puis diriger ce signal au travers un câble coaxial jusqu'au démodulateur.

Le démodulateur va extraire du signal qu'il reçoit, les informations(audio et vidéo) utiles à la reproduction des images et des sons (signal UHF).



## 2. LA STATION DE RECEPTION

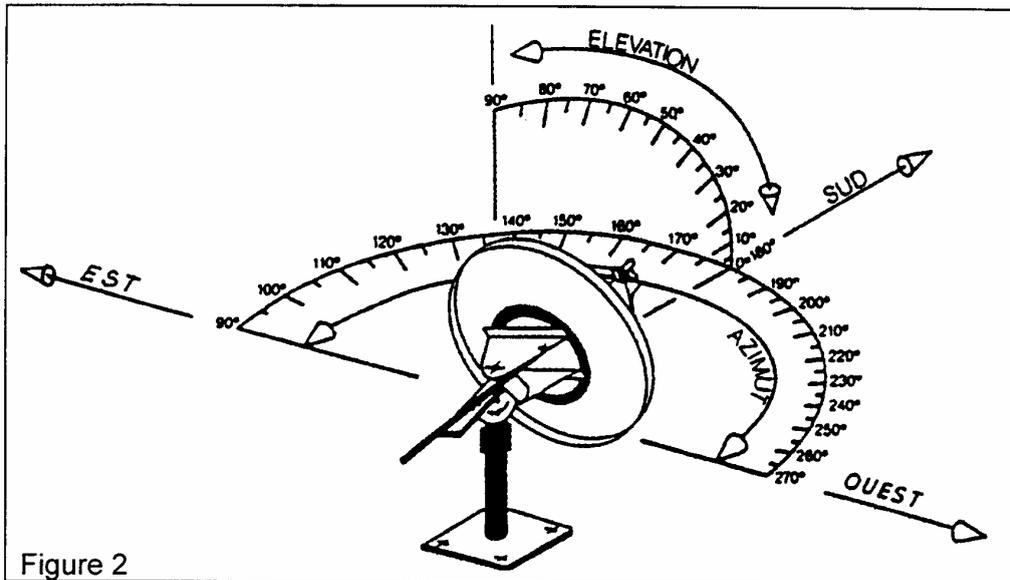
### 2.1. Présentation

La réception satellite consiste donc à installer une parabole dirigée sur le satellite souhaité, sachant que pour les habitants de l'hémisphère nord l'équateur est au sud et que les principaux satellites sont positionnés de 40° EST à 40° OUEST par rapport au SUD.

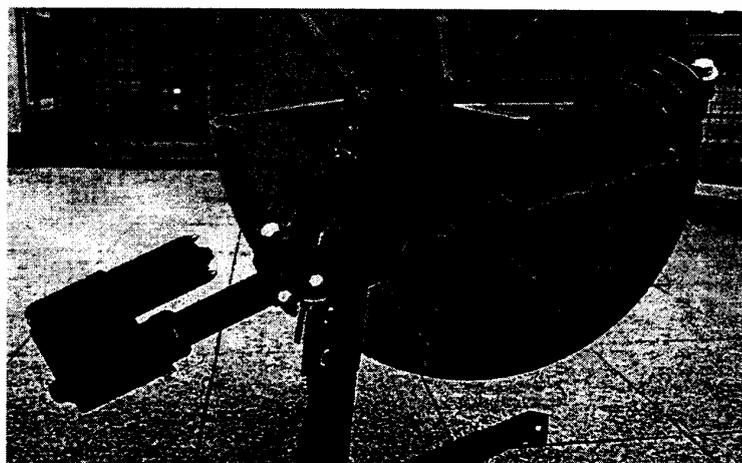
Ces satellites étant « visibles » en hauteur sous un angle variant suivant la latitude du lieu de réception (environ 34° à Paris), il conviendra d'effectuer le réglage de l'angle d'élévation (ou angle de site) qui sera commun à tous les satellites et correspondra à l'angle formé entre le sol et la direction du satellite. (voir Fig2)

De plus, afin d'être pointée vers le satellite désiré, l'antenne devra faire l'objet d'un second réglage angulaire correspondant à l'angle d'azimut qui est l'angle formé entre le sud et la direction du satellite (voir Fig2).

Ces deux réglages effectués, aucun obstacle ne devra exister entre la parabole et le satellite pointé.



On souhaite recevoir plusieurs satellites, il faudra donc s'équiper de plusieurs paraboles ou bien d'une parabole motorisée qui s'orientera automatiquement au niveau de l'angle d'azimut lors de la recherche des programmes. On retiendra cette dernière solution, qui nécessite l'utilisation d'un positionneur permettant de commander le moteur de rotation de l'antenne. Ce positionneur fera l'objet de notre étude.



## 2.2. Identification des éléments du système

Voir diagramme sagittal (Page EF<sup>4</sup>)

La station de réception satellite comprend les objets techniques suivants :

- Une antenne de réception avec ses constituants
- Un démodulateur
- Une télévision ou un moniteur vidéo
- Un positionneur

## 2.3. Fonction globale

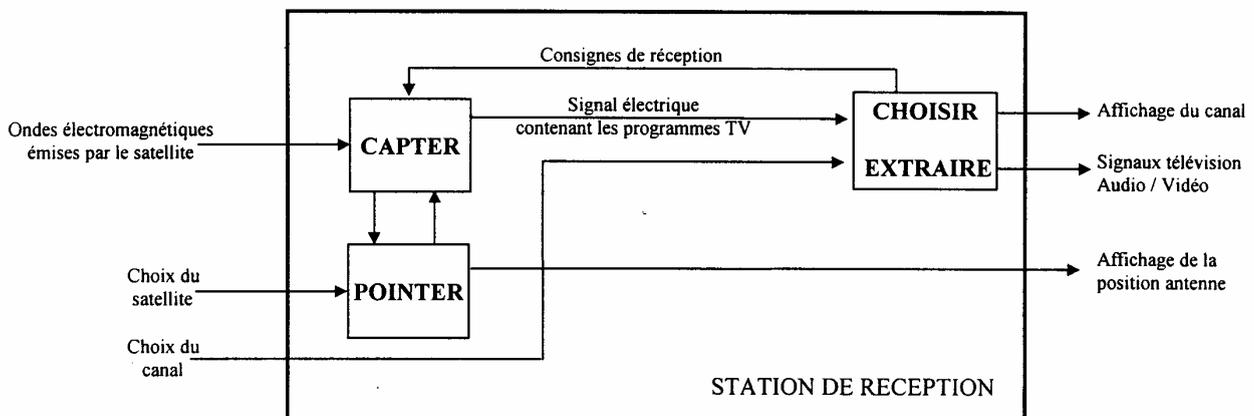
Le système de réception permet de capter une information sous forme d'ondes électromagnétiques en provenance d'un position de l'espace par pointage d'une antenne sur celle-ci. Le signal électrique qui en résulte est ensuite traité pour en extraire l'information qu'il contient.

Ce système peut être rapproché d'un système de télécommunication ou d'une station radio-astronomique.

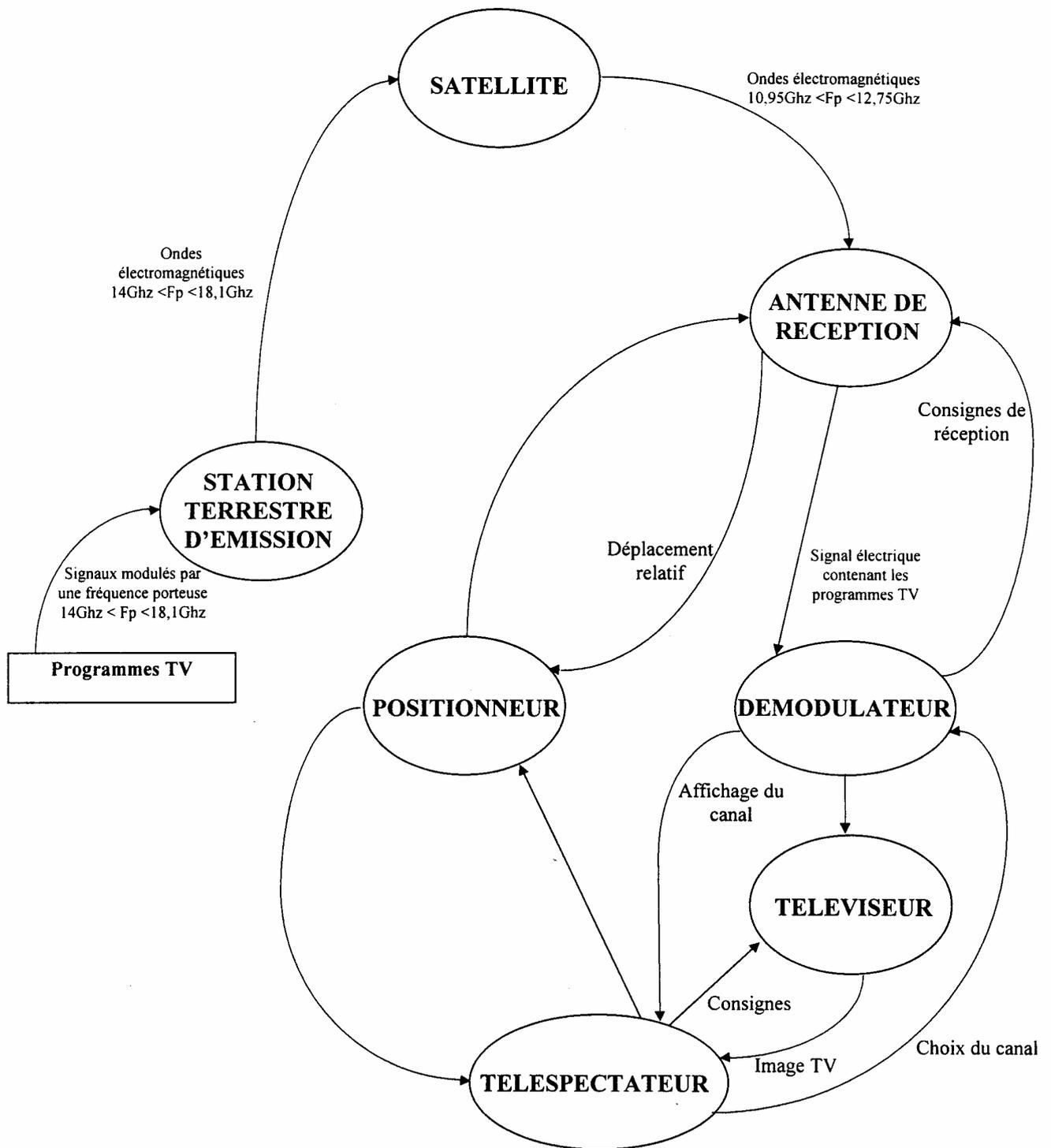
## 2.4. Fonction d'usage

Ce système permet de recevoir des programmes de télévision en provenance de divers émetteurs européens, relayés par des satellites.

## 2.5. Schéma fonctionnel de niveau 2

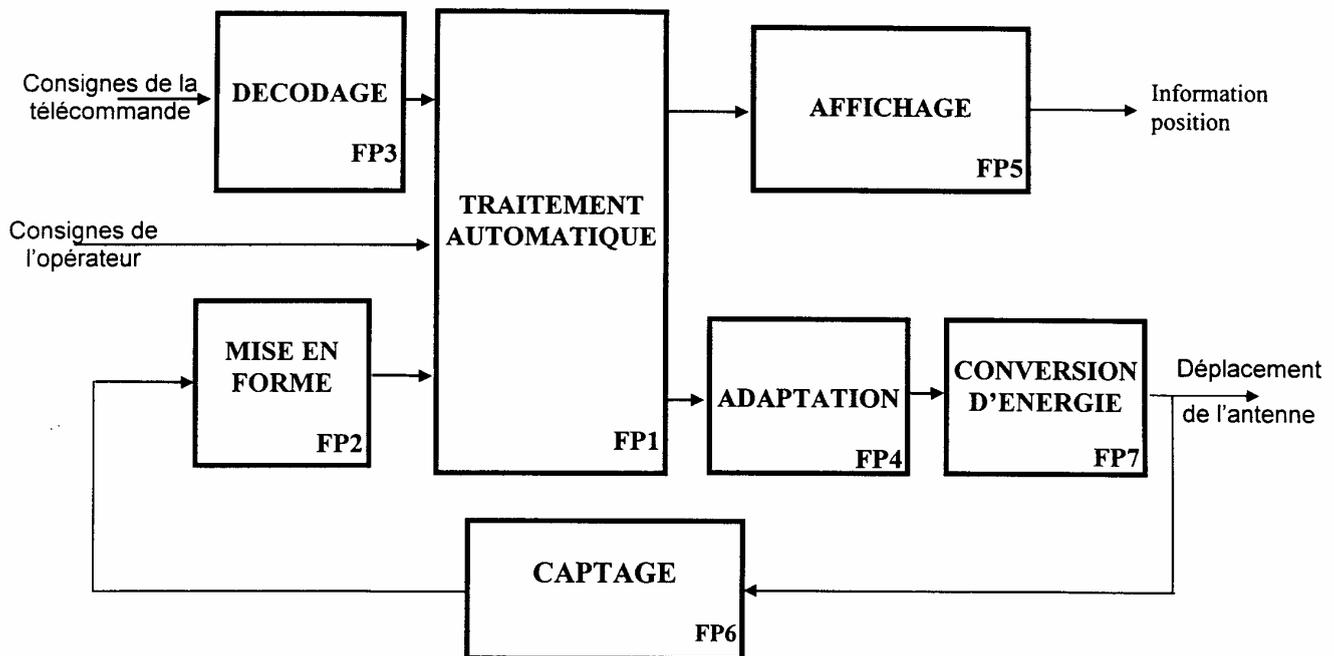


## 2.6. Diagramme sagittal



### 3. LE POSITIONNEUR

#### 3.1. schéma fonctionnel de premier degré



FP1 : « *TRAITEMENT AUTOMATIQUE* »

Cette fonction assure l'acquisition et le traitement des informations. Elle est organisée autour d'un système micro-programmé. La fonction consiste à commander le déplacement de l'antenne, en fonction des consignes fournies par l'opérateur (par action sur des boutons poussoirs ou par utilisation de la télécommande). Cette fonction mémorise les positions des satellites sélectionnées par l'opérateur.

FP2 : « *MISE EN FORME* »

Cette fonction permet d'adapter le signal issu du capteur de déplacement afin qu'il puisse être traité par la fonction FP1.

FP3 : « *DECODAGE* »

Cette fonction reçoit les consignes émises par la télécommande,

FP4 : « *ADAPTATION* »

Cette fonction permet d'alimenter le moteur à courant continu selon les ordres produits par l'unité de traitement.

FP5 : « *AFFICHAGE* »

Cette fonction permet d'afficher la valeur de l'angle d'azimut pointé par l'antenne.

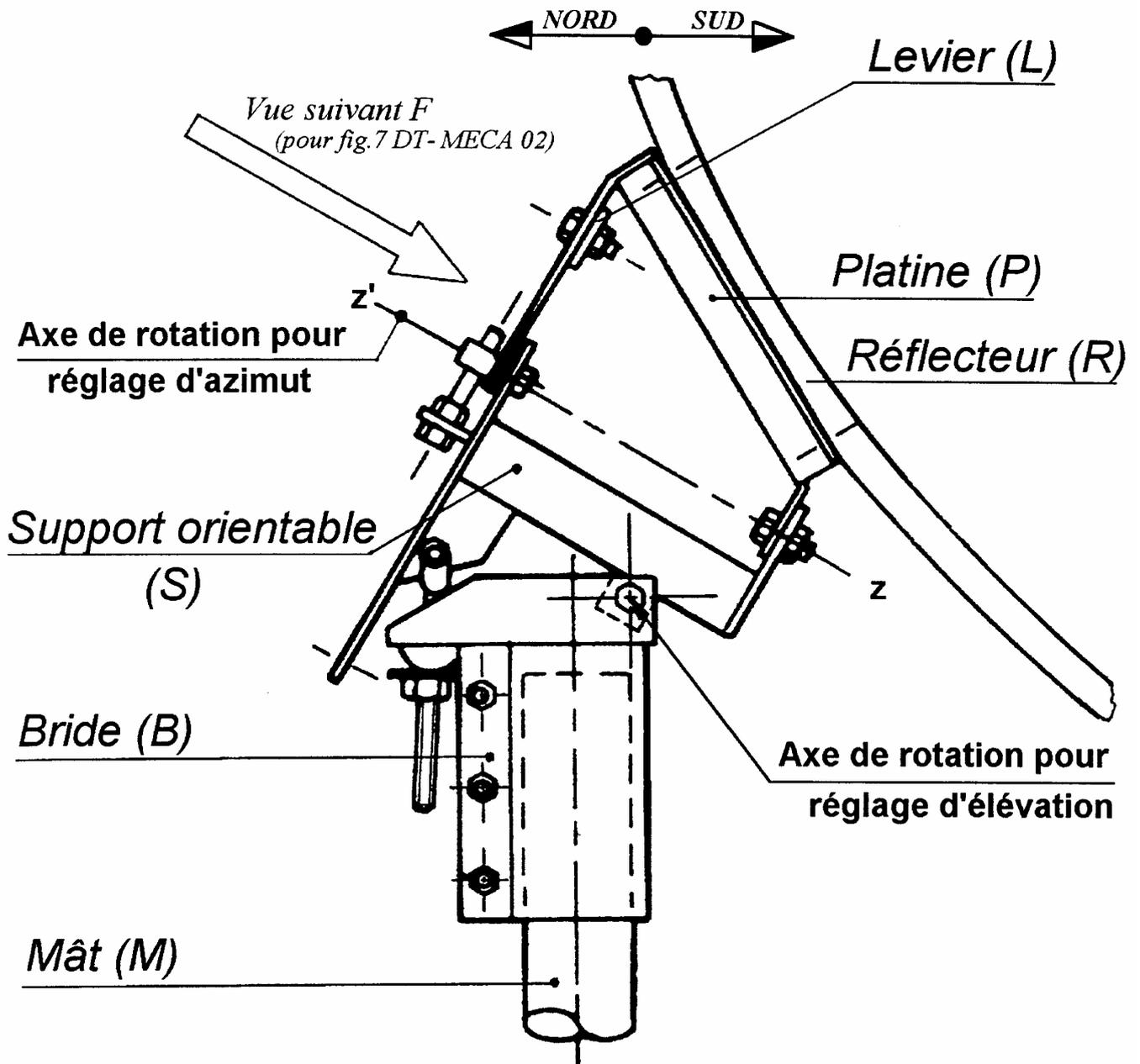
FP6 : « *CAPTAGE* »

Cette fonction permet de capter, sous forme électrique, la position relative de l'antenne par rapport à une position origine.

FP7 : « *CONVERSION D'ENERGIE* »

La fonction FP7 transforme l'énergie électrique en une énergie mécanique, à partir des consignes élaborées par la fonction FP1.

#### 4. LA MONTURE EQUATORIALE



# **POSITIONNEUR POUR ANTENNE PARABOLIQUE MOTORISEE**

## **ETUDE DE LA PARTIE ELECTRONIQUE**

Durée 4H30

**Ce dossier contient les pages Q1 à Q6 et DR1 à DR3**

**Les feuilles DR1 à DR3 sont à rendre en fin d'épreuve**

## 1. ETUDE FONCTIONNELLE

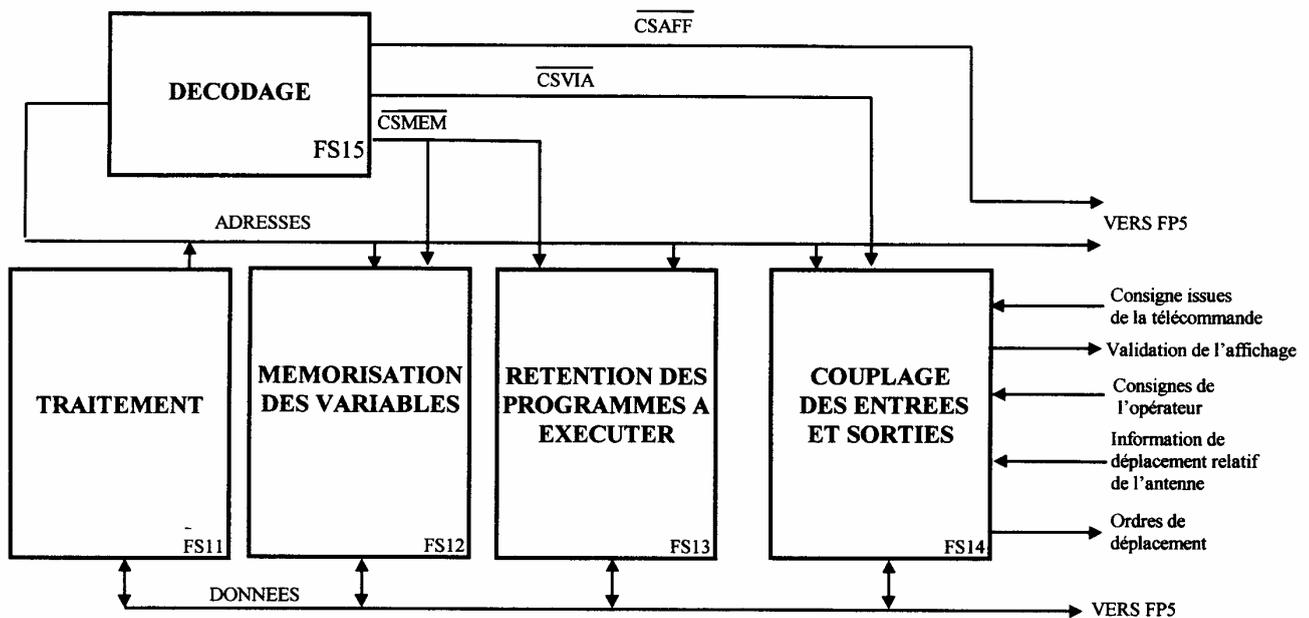
### 1.1. Exploitation des documents

1.1.1. Complétez le diagramme sagittal document réponse 1 (DR1) en indiquant la nature des liaisons entre les éléments du système.

1.1.2. Encadrez sur le diagramme sagittal (DR1) l'ensemble des éléments constituant de la station de réception

## 2. ETUDE DE FP1 : « TRAITEMENT AUTOMATIQUE »

### 2.1. Schéma fonctionnel de degré 2



#### FS11 : TRAITEMENT

Cette fonction permet de prendre en compte les informations entrantes, et de contrôler le fonctionnement des différents périphériques.

Structure associée : microprocesseur 6802

#### FS12 : MEMORISATION DES VARIABLES

Cette fonction mémorise les variables du programme ainsi que les codes correspondant aux positions des différents satellites.

#### FS13 : RETENTION DES PROGRAMMES A EXECUTER

Cette fonction permet de mémoriser le programme de gestion du positionneur.

Structures associées : Mémoire : EEPROM 28C64A

#### FS14 : COUPLAGE DES ENTREES SORTIES

Cette fonction permet de mémoriser et de transférer les données issues (ou destinées) de (à) la fonction traitement.

Structure associée : VIA R6522

#### FS15 : CODAGE

Cette fonction permet de sélectionner et de mettre en communication les fonctions, mémorisations, couplage des entrées et sorties, et affichage, avec l'unité de traitement.

Structure associée : DEMULTIPLEXEUR 54HCT138

## 2.2. ETUDE DE LA FONCTION CODAGE

Etant donnée l'organisation suivante de l'espace adressable :

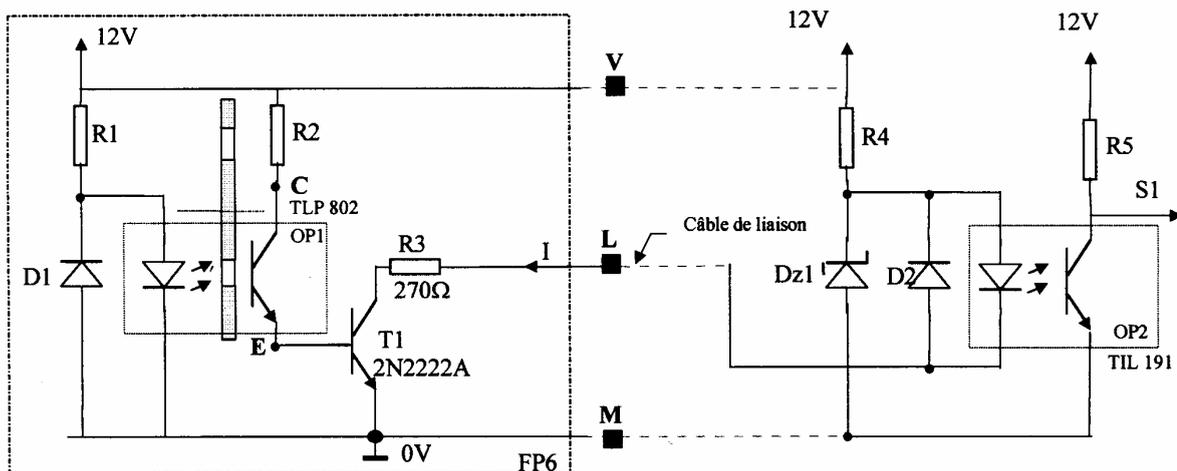
Interface parallèle :VIA R6522	\$ 2000 à \$ 200F	<u>CSVIA</u>
AFFICHAGE	\$ 6004 à \$ 6007	<u>CSAFF</u>
Mémoire 28C64A	\$ E000 à \$ FFFF	<u>CSMEM</u>

- 2.2.1. Remplir le tableau de décodage document réponse 2 (DR2)
- 2.2.2. Dédire de ce tableau les équations logiques des sorties CSVIA, CSAFF, et CSMEM (on se limitera à un décodage partiel)
- 2.2.3. Produire le schéma structurel de la fonction codage document réponse 2

Nota : Les fonctions sont validées lorsque le signal VMA en provenance du  $\mu$ processeur est au niveau bas.

## 3. ETUDE DE FP6 « CAPTAGE »

### 3.1. Schéma structurel



La fonction captage est située en bout de l'arbre moteur (sur la parabole), il faut donc prévoir un câble de raccordement à trois conducteurs entre le positionneur et la parabole ( 2 fils pour l'alimentation et un troisième pour l'information déplacement).

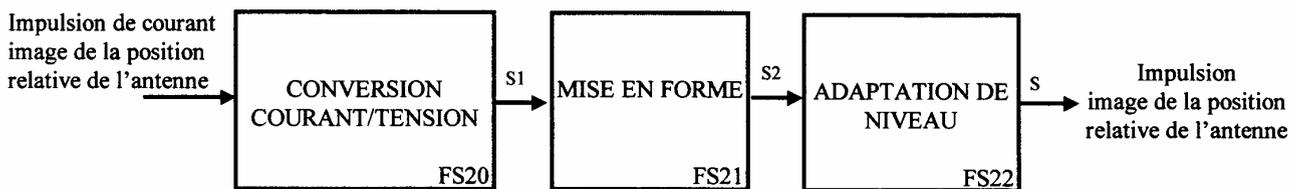
Lorsque la parabole se déplace, elle entraîne en rotation un disque percé de 60 trous sur sa circonférence. A chaque passage devant l'un de ces trous, le faisceau lumineux, produit par la diode de l'OP1, est transmis au phototransistor afin de matérialiser le déplacement de l'antenne par la production d'une impulsion de courant en sortie.

**ON DEMANDE :**

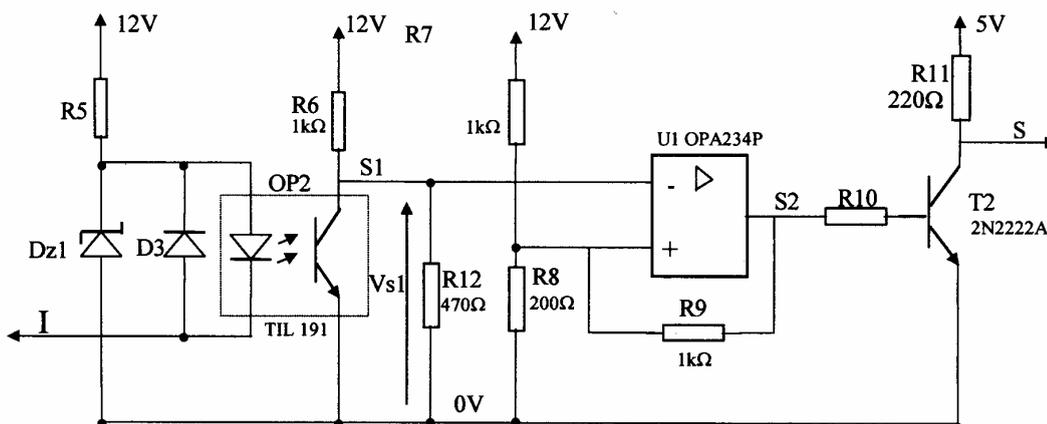
- 3.1.1. Après avoir examiné la documentation du détecteur optique, justifiez la présence de la diode D1
- 3.1.2. Explicitez la raison pour laquelle la grandeur de sortie de cette fonction est un courant
- 3.1.3. Représentez le schéma de la maille entre les point V et M (passant par OP2) en remplaçant les diodes par leurs modèles électriques simplifiés (annexe DOC17).
- 3.1.4. Déterminez la valeur du courant de collecteur de T1 lorsqu'il est saturé ( $V_{CE_{sat}} = 0,2 \text{ Volts}$ )
- 3.1.5. Calculez la valeur puis dimensionnez R1 afin d'obtenir la saturation de T1
- 3.1.6. Dimensionnez R2 pour obtenir  $V_{CE} (OP1) = 5 \text{ Volts}$  lorsque R1 est égale à la valeur calculée précédemment.
- 3.1.7. Tracez l'allure de  $I = f(t)$  sur le document réponse 3 (DR3)

**4. ETUDE DE FP2 « MISE EN FORME »**

**4.1. Schéma fonctionnel de degré 2**



**4.2. Schéma structurel**

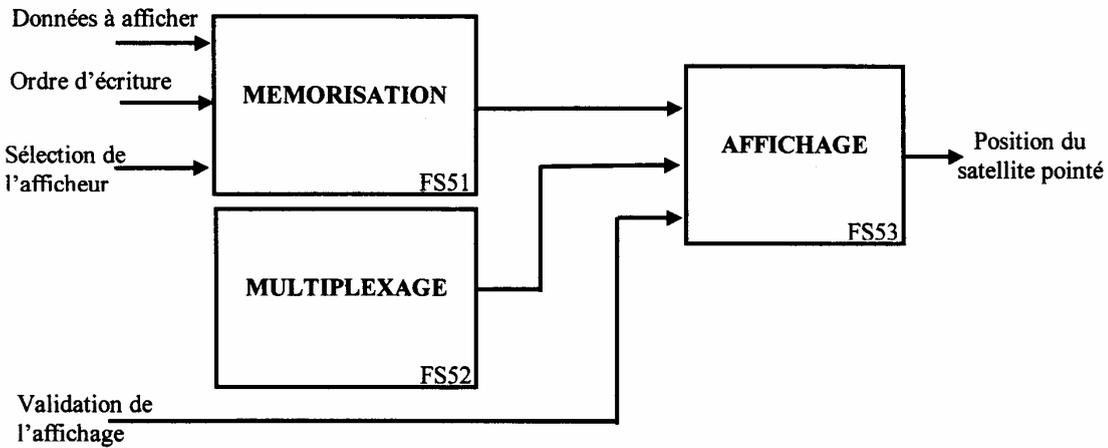


**ON DEMANDE :**

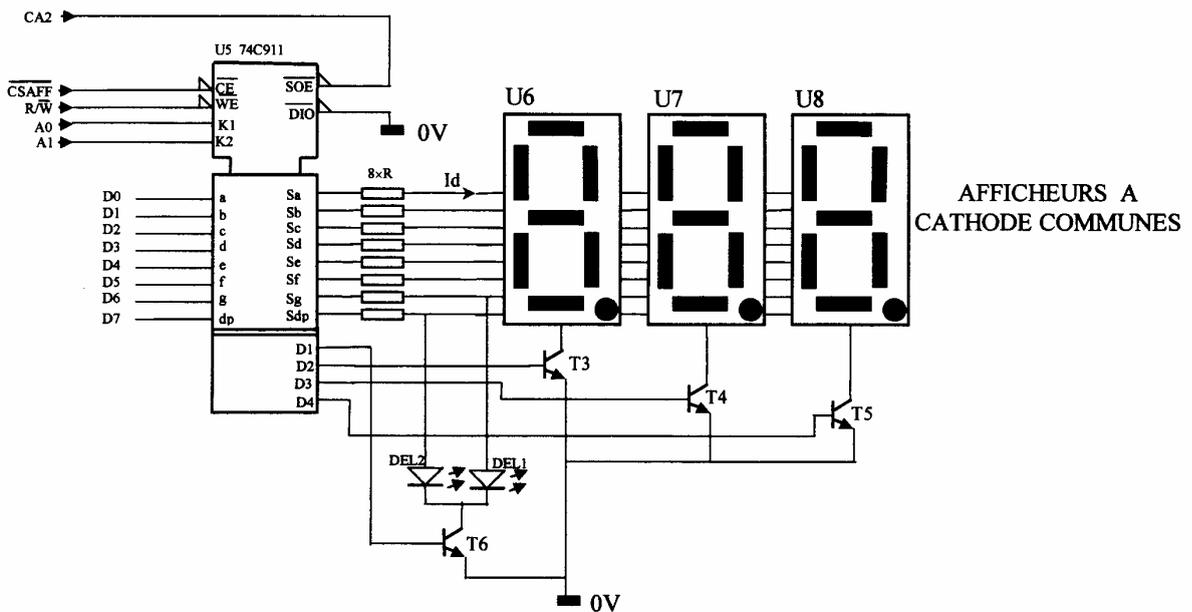
- 4.2.1. Représentez et tracez la caractéristique du générateur de Thévenin aux bornes de OP2 (coté transistor)
- 4.2.2. Calculez les limites de la tension Vs1 lorsque I varie de 0 à 20mA
- 4.2.3. Quelles sont les tensions de sortie limite de U1 lorsqu'il est alimenté entre 0 et 12Volts
- 4.2.4. Représentez en la justifiant la caractéristique VS2=f(VS1)
- 4.2.5. Calculez la valeur et dimensionnez R10
- 4.2.6. Complétez les chronogrammes de la feuille réponse DR3

**5. ETUDE DE FP5 « AFFICHAGE »**

**5.1. Schéma fonctionnel de degré 2**

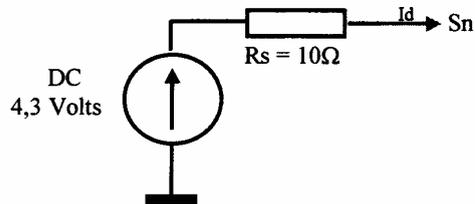


**5.2. Schéma structurel**



### ON DEMANDE

Le générateur de Thévenin équivalent à une sortie segment du circuit 94C911, lorsque la sortie est au niveau haut, est modélisé ci-dessous



Les transistors T3, T4, T5, T6 ont une tension  $V_{CE_{sat}}$  de 0,4 Volt et les LED ont une tension de seuil de 1,2 Volt.

- 5.2.1. Représentez le schéma du circuit d'alimentation d'un segment
- 5.2.2. Tracez sur le document réponse 2 l'allure du courant  $I_d$  lorsque le segment est alimenté
- 5.2.3. Calculez la valeur des résistances R pour obtenir un courant moyen de 20mA par segment (La tension aux borne d'un segment est de 1,2 Volt)

### Etude du logiciel associé à la fonction FP5 « AFFICHAGE »

Le logiciel de la fonction affichage est un module (Procédure affichage) qui permet l'affichage des données contenues dans les adresses mémoire (4 octets). Les données à afficher sont au format 7 segments. La procédure d'affichage consiste donc à envoyer ces variables vers le circuit d'affichage en s'assurant que la validation de l'affichage est active.

Dans certains cas de dysfonctionnement, l'affichage doit être clignotant. Pour cela, le signal de validation SOE est activé de façon séquentielle selon l'algorithme présenté ci-dessous.

#### Algorithme du module clignotement

#### DEBUT

#### Répéter

- Validation de l'affichage (CA2=0)  
Procédure « TEMPO »
- Désactivation de l'affichage (CA2=1)  
Procédure « TEMPO »

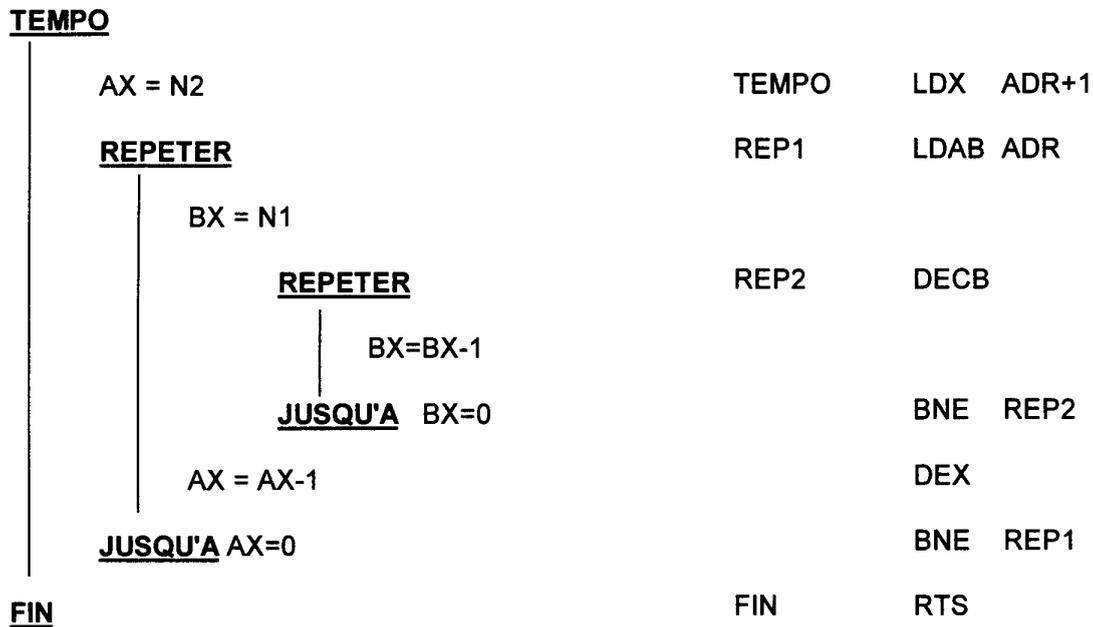
#### Jusqu'à disparition du défaut

#### FIN

Cet algorithme fait appel à une procédure « TEMPO » dont l'algorithme est présenté ci dessous, cette temporisation utilise les objets suivant :

- N1 : Variable (format 8 bits) dont dépend la durée de temporisation
- N2 : Seconde variable (format 16 bits) dont dépend la durée de temporisation
- AX : Registre interne (format 16 bits) de l'unité de traitement
- BX : Registre interne (format 8 bits) de l'unité de traitement

### Algorithme et programme de la temporisation



#### ON DEMANDE :

- 5.3.1. Repérez sur la documentation du microprocesseur le nombre de cycles nécessaire à l'exécution des instructions utilisées par le programme, et complétez le tableau DR2
- 5.3.2. Déterminez le nombre de cycles de la temporisation en fonction de N1 et N2
- 5.3.3. Calculez N1 et N2 pour obtenir une temporisation de 0,5 seconde sachant que le temps de cycle de l'unité de traitement est de 1µs.

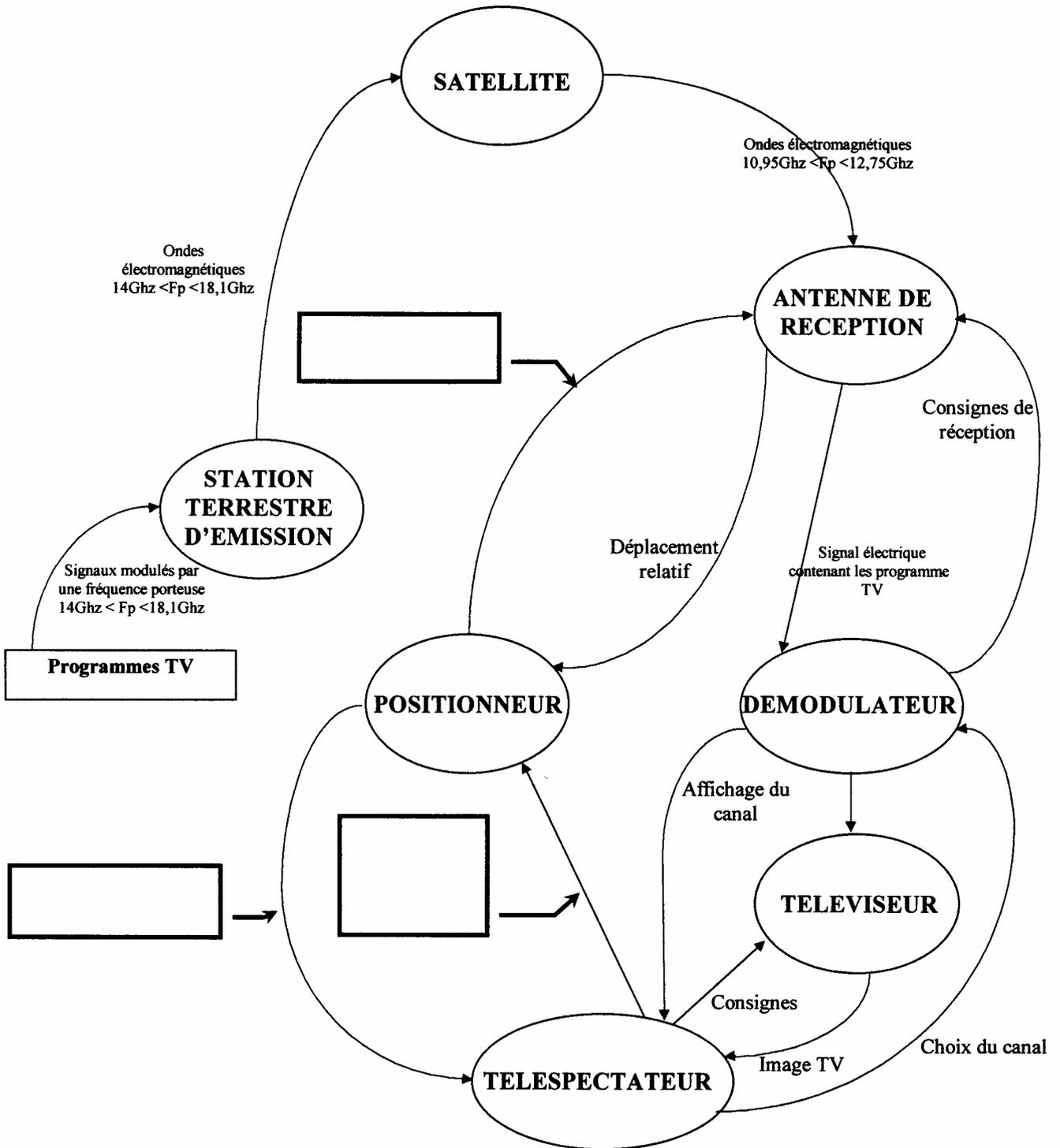
# **POSITIONNEUR POUR ANTENNE PARABOLIQUE MOTORISEE**

**ETUDE DE LA PARTIE ELECTRONIQUE**

**DOCUMENTS REponses DR1 A DR3**

**A RENDRE EN FIN D'EPREUVE**

# DOCUMENT REPONSE 1



## DOCUMENT REPONSE 2

Structure	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ADRESSE
VIA 6522 CSVIA																	
AFFICHAGE CSAFF																	
28C64A CSMEM																	
RAM interne	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	\$ 0127
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	\$ 0000

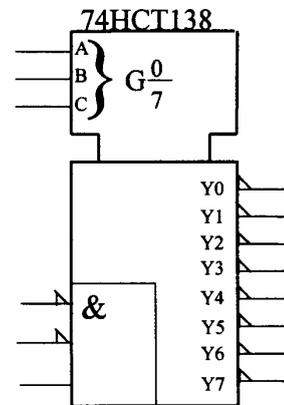
### 2.2.3 SCHEMA STRUCTUREL :

#### 2.2.2 EQUATION DES SORTIES :

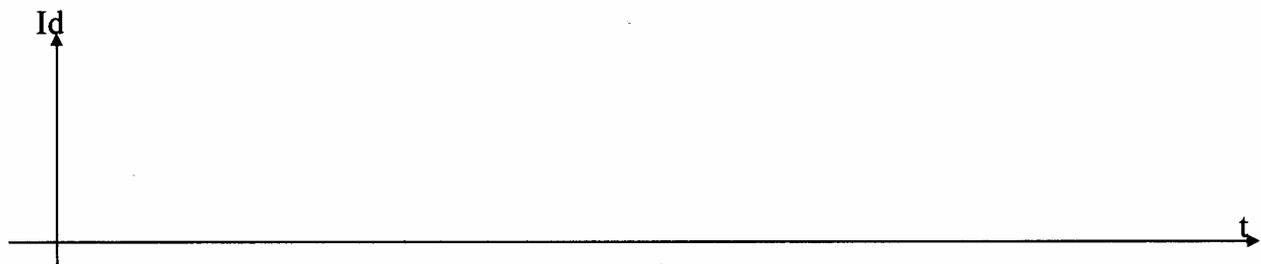
$\overline{\text{CSVIA}} =$

$\overline{\text{CSAFF}} =$

$\overline{\text{CSMEM}} =$



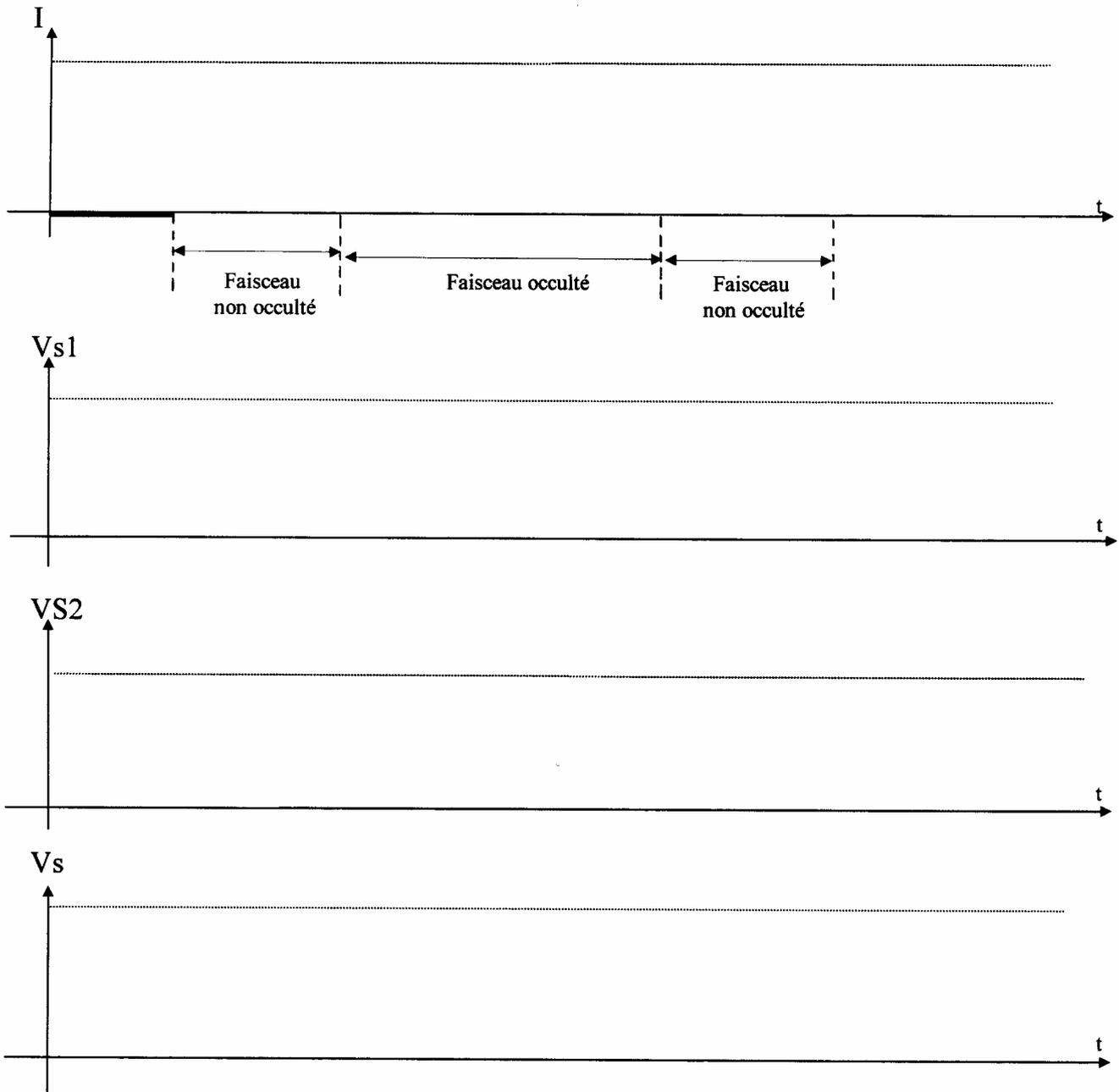
#### 5.2.2



#### 5.3.1

Instruction	LDX ADR	LDAB ADR	DECB	BNE	DEX	RTS
Nombre de cycles						

## DOCUMENT REPONSE 3

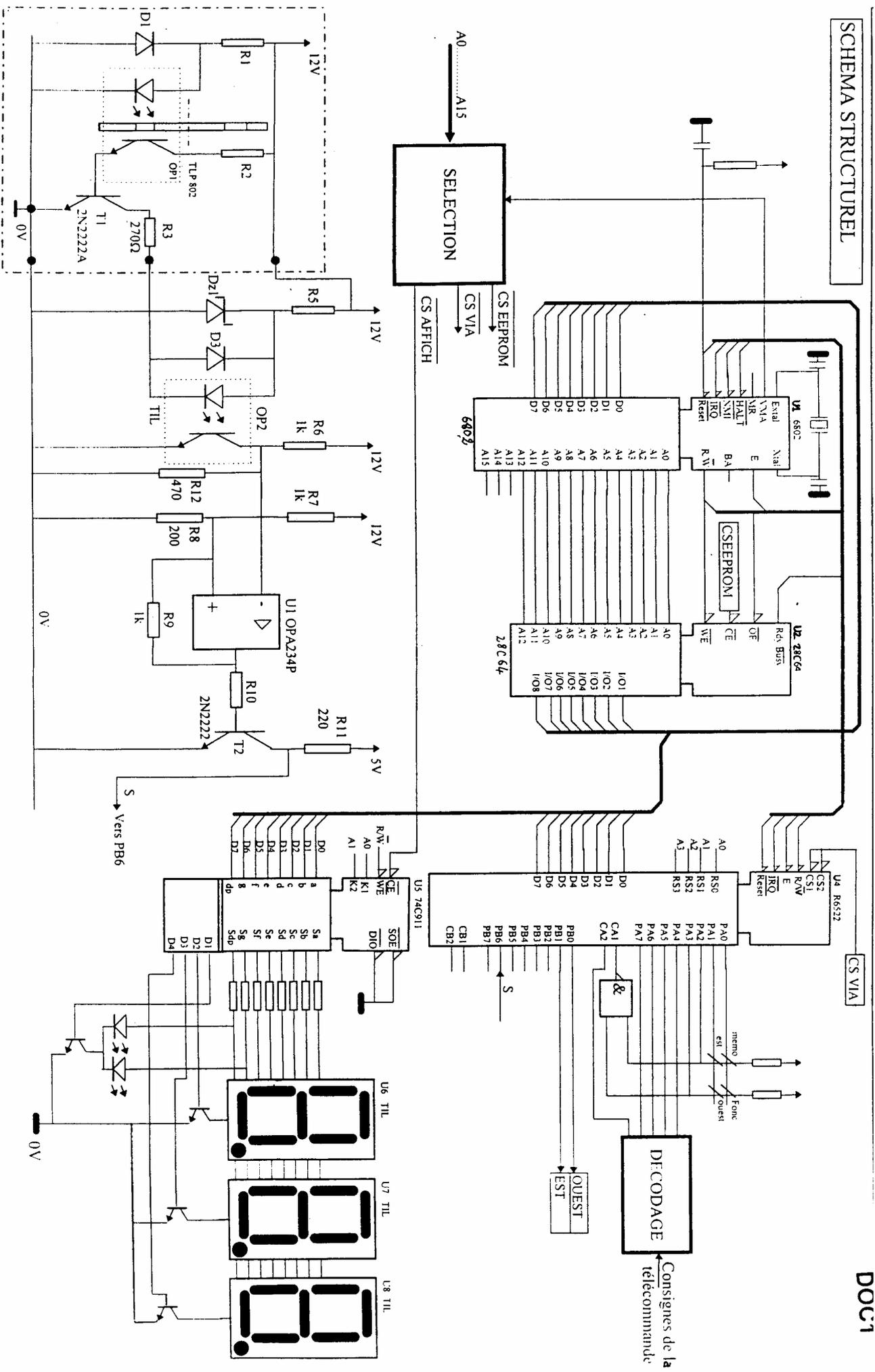


# **POSITIONNEUR POUR ANTENNE PARABOLIQUE MOTORISEE**

## **DOCUMENTS ANNEXES DE LA PARTIE ELECTRONIQUE**

<b>SCHEMA STRUCTUREL DU POSITIONNEUR</b>	<b>Page DOC1</b>
<b>DOCUMENT CONSTRUCTEUR 74HCT138</b>	<b>Page DOC2</b>
<b>DOCUMENT CONSTRUCTEUR TIL 191 (2 PAGES)</b>	<b>Page DOC3</b>
<b>DOCUMENT CONSTRUCTEUR TLP802 (2 PAGES)</b>	<b>Page DOC5</b>
<b>DOCUMENT CONSTRUCTEUR OPA234</b>	<b>Page DOC7</b>
<b>DOCUMENT CONSTRUCTEUR 74C911 (2 PAGES)</b>	<b>Page DOC8</b>
<b>DOCUMENT CONSTRUCTEUR EF6802</b>	<b>Page DOC10</b>
<b>DOCUMENT CONSTRUCTEUR 2N2222A</b>	<b>Page DOC15</b>
<b>PROGRESSION NORMALISEE DES RESISTANCES</b>	<b>Page DOC17</b>

SCHEMA STRUCTUREL



**Description**

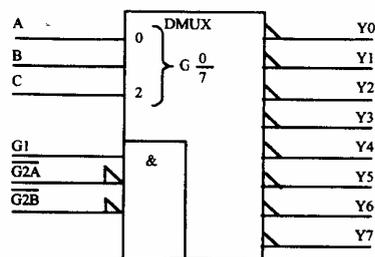
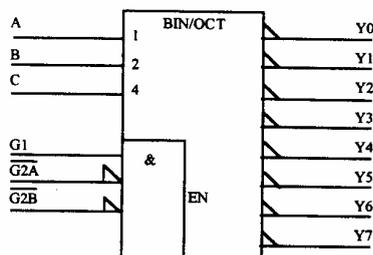
Ce décodeur démultiplexeur 3 vers 8 est utilisé pour réaliser dans d'excellentes conditions un décodeur d'adresse. Sa rapidité lui permet d'être utilisé dans des systèmes programmable utilisant des mémoires rapides. Il dispose de trois entrées de validation permettant une extension simple pour réaliser un décodage 24 bits.

**Table de fonctionnement**

ENTREES DE VALIDATION			ENTREES DE SELECTION			SORTIES							
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

H : niveau haut  
L : niveau bas  
X : niveau indifférent

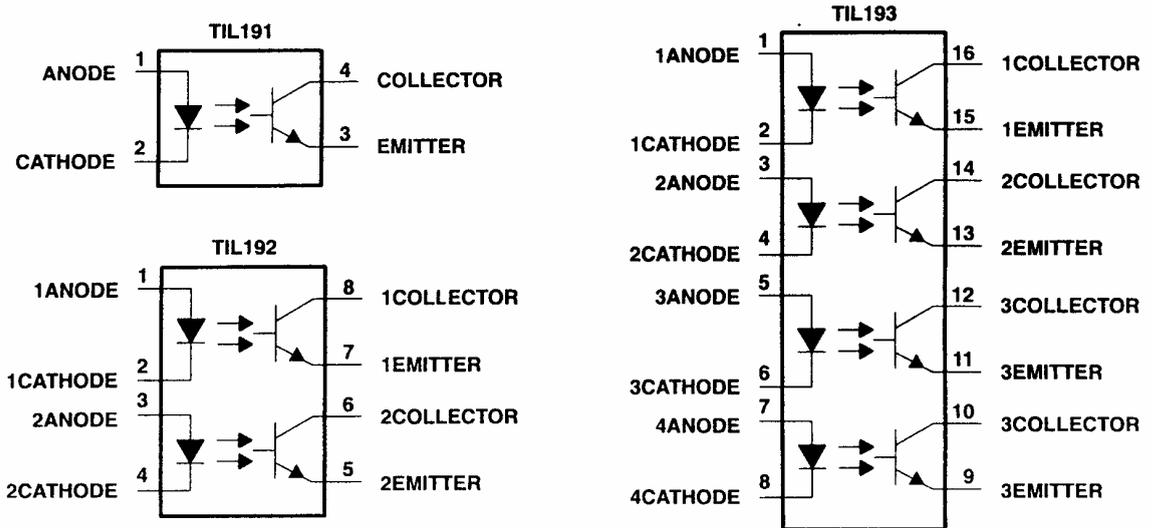
**Symboles logiques**



**Description**

Ces optocoupleurs sont constitués d'une DEL et d'un phototransistor NPN par canal. Les composants standards ont un taux de transfert en courant de 20% minimum. Les composants sélectionnés pour des taux de transfert de 50% et 100% minimum sont identifiés par les suffixes A et B.

**Brochage**



**Valeurs à ne pas dépasser à 25°C air ambiant**

Tension entre entrée et sortie.....	±3.535 kV peak or dc (±2.5 kV rms)
Tension collecteur-emetteur .....	35 V
Tension emetteur-collecteur.....	7 V
Tension inverse de la diode.....	5 V
Courant direct dans la diode .....	50 mA
Température de fonctionnement.....	-55°C to 125°C

**Caractéristiques électriques à 25°C air ambiant**

PARAMETRES		CONDITIONS DE TEST	Min	Typ	Max	Unités
V (BR)CEO		I C = 0.5 mA, IF = 0	35			V
V (BR)ECO		I C = 100 µA, IF = 0	7			V
I R		Vr = 5Volts			10	µA
I C(off)		VCE=24Volts IF=0			100	nA
CTR taux de transfert en courant	TIL191 TIL192 TIL193	IF = 5mA VCE=5V	20%			
	TIL191A TIL192A TIL193A		50%			
	TIL191B TIL192B TIL193B		100%			
V F Tension directe de la diode		IF = 20 mA			1,4	V
V CE(sat) Tension de saturation du transistor		IF = 5 mA, IC = 1mA			0,4	V

TYPICAL CHARACTERISTICS

TIL191, TIL192, TIL193

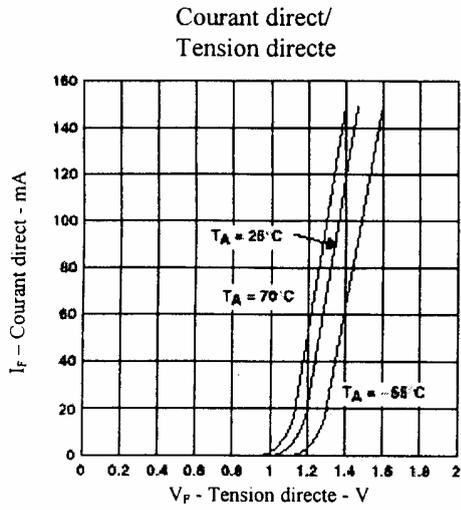


Figure 2

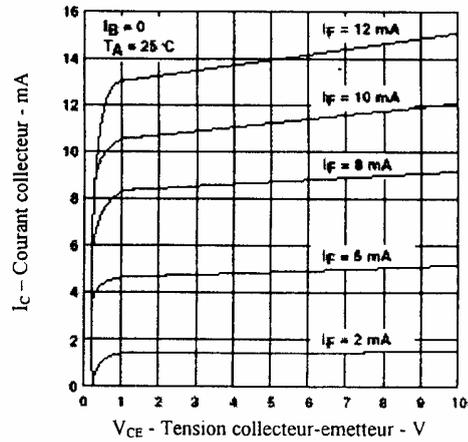


Figure 3

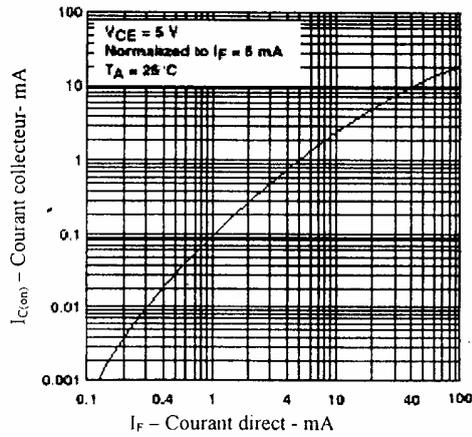


Figure 4

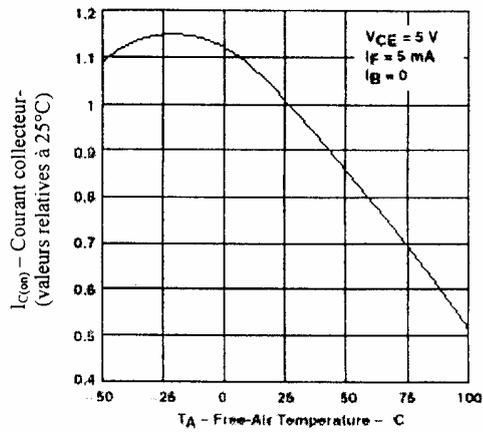


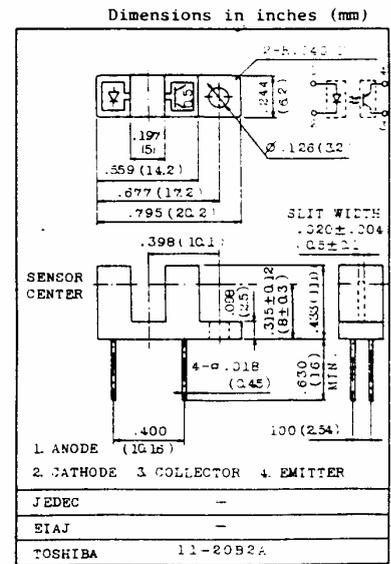
Figure 5

**Description**

Cette fourche optique permet la détection de passage  
Avec un temps de commutation beaucoup plus rapide  
qu'un système darlington.  
Elle se présente en boîtier plastique contenant la diode  
émettrice d'une part et le photo-transistor d'autre part.

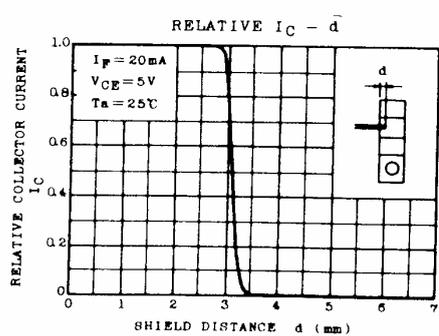
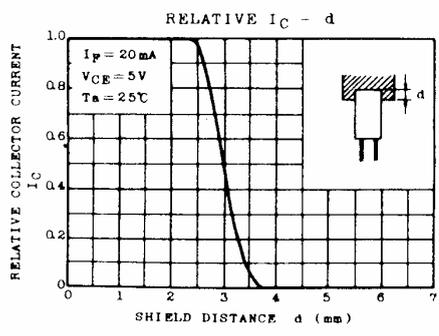
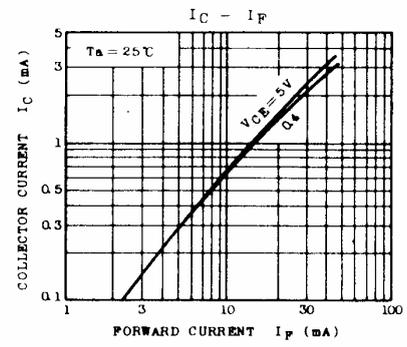
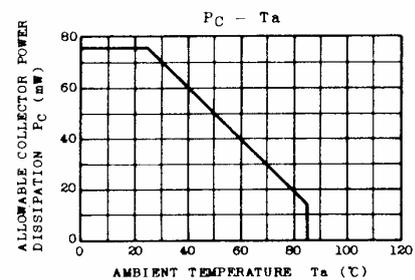
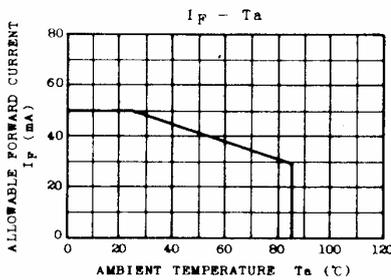
**Valeurs à ne pas dépasser à 25°C air ambiant**

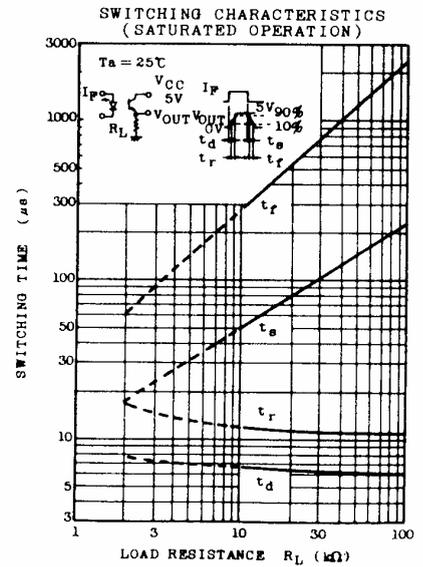
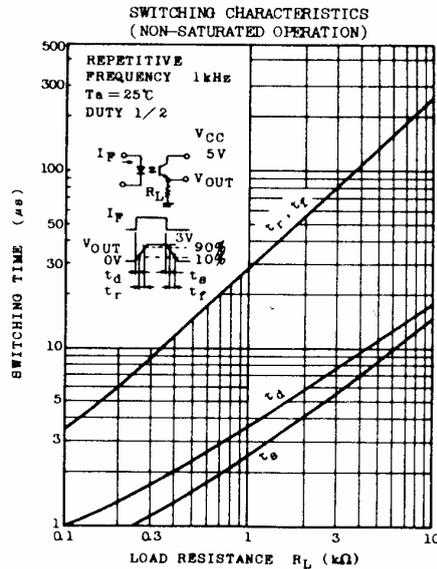
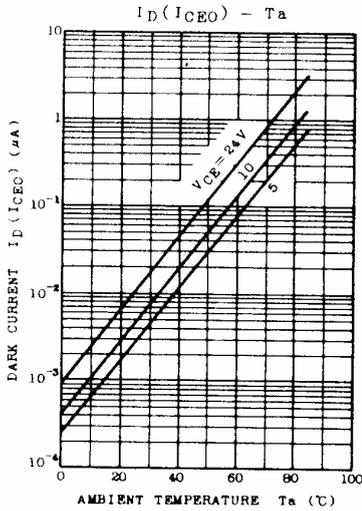
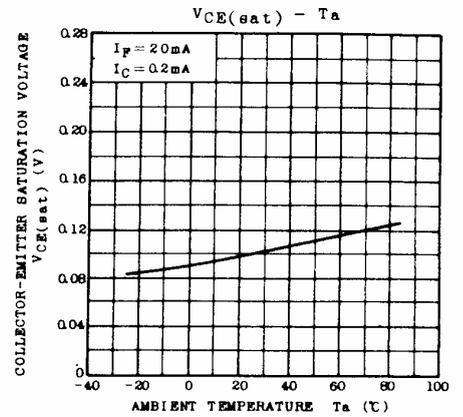
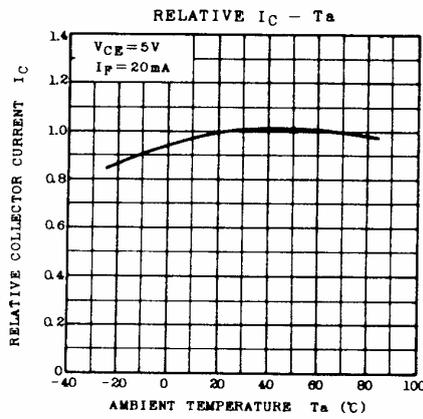
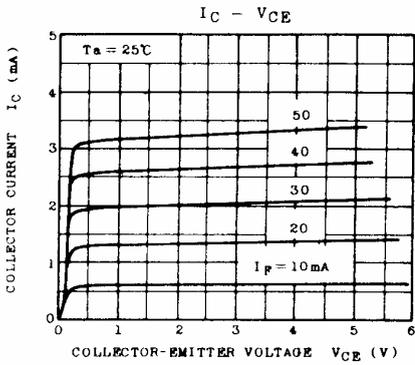
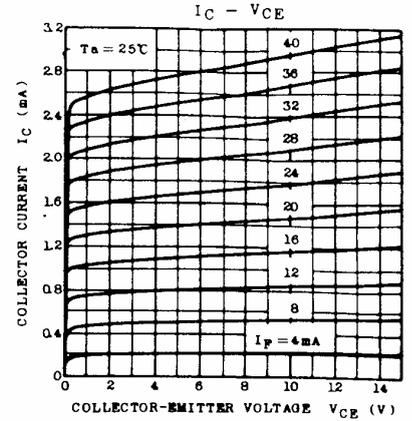
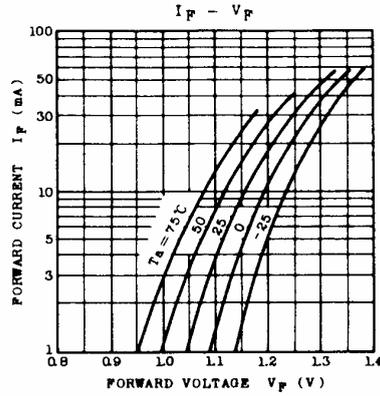
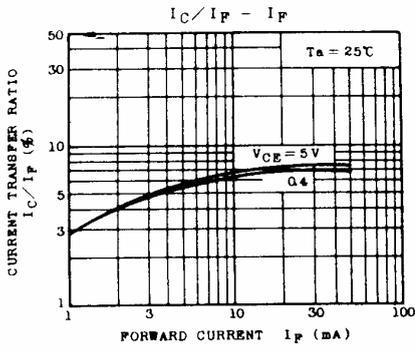
PARAMETRES	SYMBOLE	VALEURS MAX	UNITES
Courant direct dans la LED	$I_F$	50	mA
Tension inverse dans la LED	$V_R$	5	V
Tension collecteur émetteur	$V_{CE0}$	30	V
Puissance dans le collecteur	$P_C$	75	mW
Courant dans le collecteur	$I_C$	50	mA

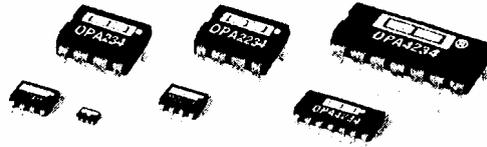


**Caractéristiques électriques à 25°C air ambiant**

PARAMETRES	SYMBOL	CONDITIONS DE TEST	Min	Typ	Max	Unités
Tension direct( LED)	$V_F$	$I_F = 10mA$	1,00	1,15	1,30	V
Courant inverse (LED)	$I_R$	$V_R = 5V$			10	$\mu A$
Courant d'obscurité	$I_D (I_{CE0})$	$V_{CE}=24V, I_F = 0$		5	100	nAV
CTR taux de transfert en courant	$I_C / I_F$	$V_{CE}=5V, I_F = 20mA$	2	8		%
Tension de saturation entre collecteur et émetteur	$V_{CE(sat)}$	$I_F = 20mA, I_C = 0,2mA$		0,1	0,4	V
Temps de montée et de descente	$t_r, t_f$	$V_{CC} = 5V, I_C = 2mA, R_I = 100\Omega$		6		$\mu S$





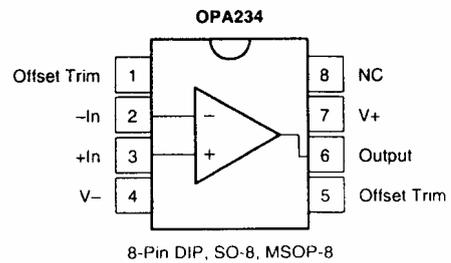


**OPA234  
OPA2234  
OPA4234**

**Faible Puissance, Précision  
AMPLIFICATEUR OPERATIONNEL A ALIMENTATION UNIQUE**

**CARACTERISTIQUES**

- Tension d'alimentation  
Simple: +2,7V à +36V  
Double: +/- 1,35V à +/- 18V
- Courant de polarisation : 25nA max
- Faible tension d'offset
- Fort taux de réjection de mode commun



**Caractéristiques électriques à 25°C air ambiant**

OPA2234

PARAMETER	CONDITION	OPA234P, U, E OPA2234P, U			UNITS
		MIN	TYP	MAX	
<b>Tension de décalage</b> $V_{OS}$ Par rapport à la température Par rapport à la tension d'alimentation Par rapport au temps $dV_{OS}/dT$ PSRR	$V_{CM} = 0V$  $V_S = \pm 1.35V \text{ to } \pm 18V, V_{CM} = 0V$		$\pm 70$ $\pm 0.5$ 3 0.2 0.3	$\pm 250$ .15 10	$\mu V$ $\mu V$ $\mu V/^{\circ}C$ $\mu V/V$ $\mu V/mo$ $\mu V/V$
<b>Courant de polarisation</b> Polarisation d'entrée Courant de décalage en entrée $I_B$ $I_{OS}$	$V_{CM} = 0V$ $V_{CM} = 0V$		-12 +1	-25 +5	nA nA
<b>Sortie</b> Tension de sortie: positive négative Courant de court-circuit Capacité de charge $I_{SC}$	$G = +1$	(V+) -1 (V-) +0.5	(V+) -0.7 (V-) +0.15 $\pm 22$ 1000		V V mA pF
<b>Tension d'alimentation</b> Tension typique Gamme de tensions Courant $I_O$	$I_O = 0$	$\pm 1.35$	12 +275	$\pm 18$ +350	V V $\mu A$
<b>TEMPERATURE RANGE</b> Specified Range Operating Range Storage Thermal Resistance 8-Pin DIP SO-8 Surface-Mount MSOP-8 Surface-Mount 14-Pin DIP SO-14 Surface-Mount $\theta_{JA}$		-40 -40 -55		+85 +125 +125	$^{\circ}C$ $^{\circ}C$ $^{\circ}C$ C/W C/W C/W C/W C/W

Internet: [http://www](http://www.burrobrown.com)

111  
12

**Description**

Ce circuit permet de commander 4 afficheurs 8 segments. Il réalise le multiplexage et la mémorisation des données à afficher. Le fonctionnement est conforme à la table de vérité ci-après. L'écriture des données à afficher s'effectue comme dans une RAM qui comporterait 4 registres. Une fois l'écriture réalisée, le circuit se charge du multiplexage et de l'envoi des données vers les afficheurs pour peut que ces opérations soient validées.

**Tables de fonctionnement**

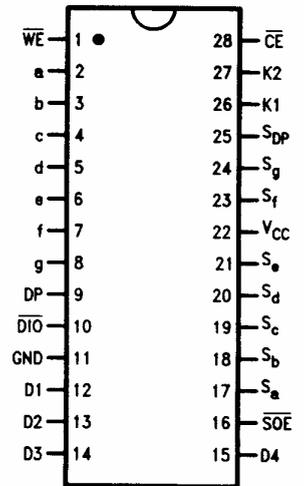
Contrôle d'entrée

CE	Adresse du digit		WE	OPERATION
	K2	K1		
0	0	0	0	Ecriture Digit 1
0	0	0	1	Mémorisation Digit 1
0	0	1	0	Ecriture Digit 2
0	0	1	1	Mémorisation Digit 2
0	1	0	0	Ecriture Digit 3
0	1	0	1	Mémorisation Digit 3
0	1	1	0	Ecriture Digit 4
0	1	1	1	Mémorisation Digit 4
1	X	X	X	Inhibition de l'écriture

Contrôle des sorties

DIO	SOE	Commande d'Afficheur				OPERATION
		D4	D3	D2	D1	
0	0	R	R	R	R	Rafraîchissement de l'affichage
0	1	R	R	R	R	Inhibition des sorties
1	0	0	0	0	0	Les commandes sont des entrées
1	0	0	0	0	1	Affichage Digit 1
1	0	0	0	1	0	Affichage Digit 2
1	0	0	1	0	0	Affichage Digit 3
1	0	1	0	0	0	Affichage Digit 4
1	1	0	0	0	0	Mode économie d'énergie

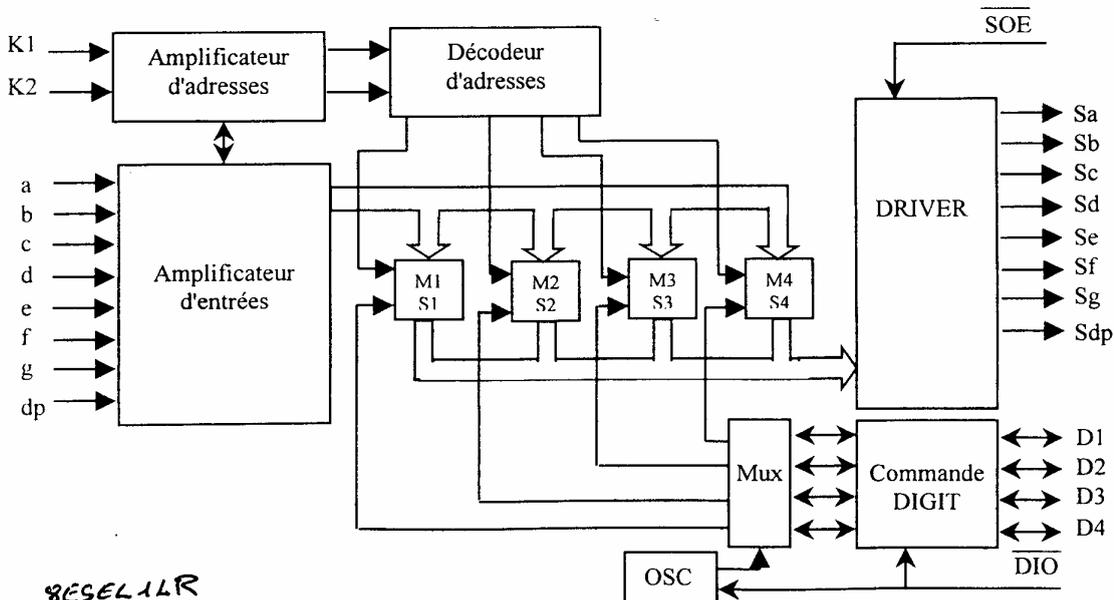
Dual-In-Line Package



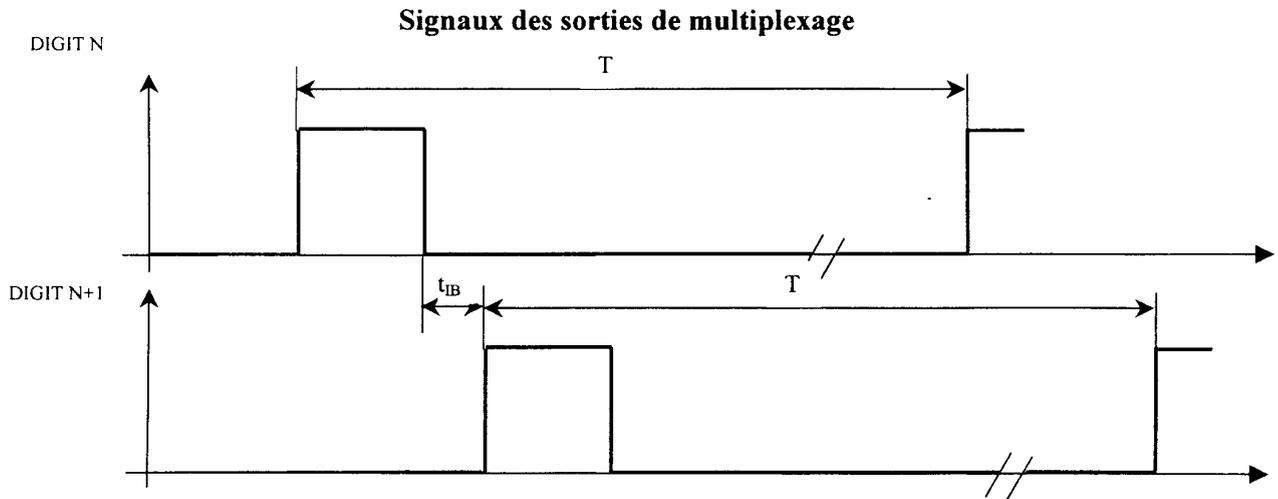
Top View

**Order Number MM74C911\***  
\*Please look into Section 8, Appendix D for availability of various package types.

**Structure interne**



8ESEL1LR

**Les signaux**


$$T = 1/f_{\text{mux}}$$

**Caractéristiques électriques statiques**

SYMBOLE	PARAMETRES	CONDITIONS	Min	Typ	Max	Unités
$V_{IN(1)}$	Niveau 1 d'entrée	$V_{CC}=5V$	3			V
$V_{IN(0)}$	Niveau 0 d'entrée				1,5	V
$I_{IN(1)}$	Courant d'entrée (1)	$V_{CC}=5V$		0,005	1,0	$\mu A$
$I_{IN(0)}$	Courant d'entrée (0)	$V_{CC}=5V$	-1,0	-0,005		$\mu A$
$I_{CC}$	Courant d'alimentation	$V_{CC}=5V$		0,5	2,5	mA
<b>EN SORTIE</b>						
$I_{SH}$	Courant sortie segment	$V_o = 3,4V$	-60	-100		mA
$I_{DH}$	Courant de sortie Digit	$V_o = 3V$	-10	-20		mA
$V_{OUT(1)}$	Tension de sortie (1)	$V_{CC}= 5V$ $I_o= -360\mu A$	4,6			V
$V_{OUT(0)}$	Tension de sortie (0)	$V_{CC}= 5V$ $I_o= 360\mu A$			0,4	V

**Caractéristiques électriques dynamiques**

SYMBOLE	PARAMETRES	CONDITIONS	Min	Typ	Max	Unités
$T_{CW}$	Durée entre la sélection de boîtier et l'écriture	$T_j=25^\circ C$ $T_j=125^\circ C$	35 50	15 20		nS
$T_{AW}$	Durée entre l'adressage et l'écriture	$T_j=25^\circ C$ $T_j=125^\circ C$	35 50	15 20		nS
$T_{WW}$	Largeur de l'impulsion d'écriture	$T_j=25^\circ C$ $T_j=125^\circ C$	400 450	225 250		nS
$T_{DW}$	Durée de validité des données	$T_j=25^\circ C$ $T_j=125^\circ C$	390 430	225 250		nS
$T_{WD}$	Durée entre la validité des donnée et la fin de l'écriture	$T_j=25^\circ C$ $T_j=125^\circ C$	0 0	-10 -15		nS
$T_{WC}$	Temps entre l'écriture et l'inhibition du circuit	$T_j=25^\circ C$ $T_j=125^\circ C$	55 75	30 40		nS
$T_{IB}$	Temps entre la validation de chaque digit	$T_j=25^\circ C$ $T_j=125^\circ C$	5 10	10 20		$\mu S$
$F_{MUX}$	Tension de sortie (1)	$T_j=25^\circ C$ $T_j=125^\circ C$		525 375		Hz

# EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

**m o s m o s m o s m o s**

## EF6802 EF6808

Anciennes appellations : SFF9-6802  
SFF9-6808

### SPECIFICATIONS PROVISOIRES

EF6802 – MICROPROCESSEUR AVEC HORLOGE ET RAM

EF6808 – MICROPROCESSEUR AVEC HORLOGE

Les circuits EF6802/EF6808 sont des microprocesseurs monolithiques 8 bits contenant, outre les mêmes registres et accumulateurs que le EF6800, un oscillateur d'horloge interne et une sortie des signaux d'horloge. De plus, le EF6802 possède, intégrés sur la pastille, 128 octets de mémoire RAM d'adresses \$0000 à \$007F en système hexadécimal. Les 32 premiers octets de la mémoire d'adresses \$0000 à \$001F peuvent avoir leur contenu maintenu en mode faible consommation en utilisant le VCC de repos, permettant ainsi la sauvegarde de la mémoire durant une coupure d'alimentation.

Le logiciel du EF6802/EF6808 est entièrement compatible avec le EF6800 et tous les constituants de la famille 6800. Par suite, la mémoire du EF6802/EF6808 est extensible jusqu'à 64 Kmots.

- Mémoire RAM intégrée 128 x 8 bits
- 32 octets de cette mémoire peuvent être sauvegardés
- Circuit d'horloge intégré
- Logiciel compatible avec le EF6800
- Extensible jusqu'à 64 Kmots
- Entrées et sorties compatibles avec la logique TTL standard
- Mots de 8 bits
- 16 bits d'adressage
- Possibilité d'interruption.

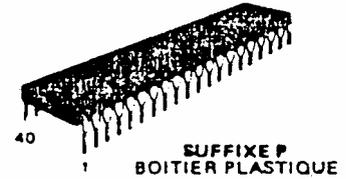
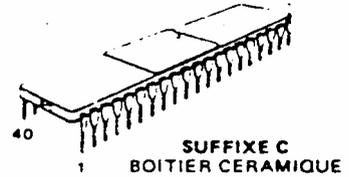
NOTA : Les textes écrits en italique ne concernent que le EF6802.

## MOS

(A APPAUVRISSEMENT, CANAL N.,  
GRILLE SILICIUM)

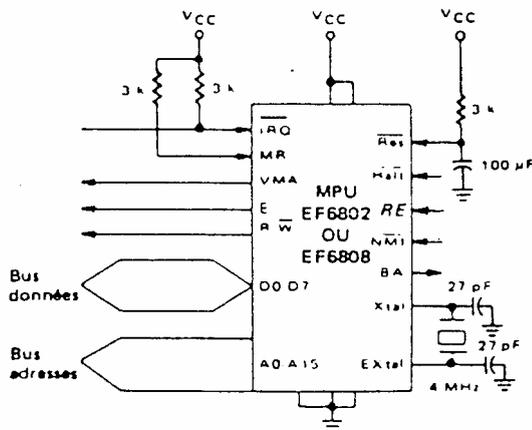
MICROPROCESSEUR  
AVEC HORLOGE ET RAM

BOITIER : CB-182



Différentes versions : voir dernière page.

FIGURE 1 – INTERFACE TYPIQUE



### BROCHAGE

1	VSS	Reset	40	1	VSS	Reset	40
2	Halt	Extal	39	2	Halt	Extal	39
3	MR	Xtal	38	3	MR	Xtal	38
4	IRQ	E	37	4	IRQ	E	37
5	VMA	VSS	36	5	VMA	RE	36
6	NMI	VCC	35	6	NMI	VCC repos	36
7	BA	R/W	34	7	BA	R/W	34
8	VCC	00	33	8	VCC	00	33
9	A0	01	32	9	A0	01	32
10	A1	02	31	10	A1	02	31
11	A2	03	30	11	A2	03	30
12	A3	04	29	12	A3	04	29
13	A4	05	28	13	A4	05	28
14	A5	06	27	14	A5	06	27
15	A6	07	26	15	A6	07	26
16	A7	A15	25	16	A7	A15	25
17	A8	A14	24	17	A8	A14	24
18	A9	A13	23	18	A9	A13	23
19	A10	A12	22	19	A10	A12	22
20	A11	VSS	21	20	A11	VSS	21

ADI-436-F

REGISTRES DU MPU

La figure 7 montre le schéma fonctionnel du EF6802/EF6808. Comme indiqué, le nombre et la configuration des registres sont les mêmes que ceux du EF6800. La RAM 128 x 8 bits a été ajoutée au MPU de base. Les 32 premiers octets peuvent fonctionner en mode faible consommation grâce à V<sub>CC</sub> de repos. Ces 32 octets peuvent avoir leur contenu maintenu durant une mise sous ou hors tension par le signal RE.

Le MPU possède trois registres de 16 bits et trois registres de 8 bits accessibles par programme (figure 8).

**Compteur Programme** — Le compteur programme est un registre de 16 bits qui contient l'adresse courante du programme.

**Pointeur de Pile** — Le pointeur de pile est un registre de 16 bits qui contient l'adresse de la position disponible dans une pile externe à fonctionnement "dernier entré", "premier sorti". Cette pile est généralement en mémoire RAM et peut se situer à une adresse quelconque. Dans les applications qui demandent la sauvegarde d'in-

formations dans la pile en cas de coupure d'alimentation, la pile sera de type non volatile.

**Registre Index** — Le registre index est un registre de 16 bits qui peut être utilisé pour des transferts de données ou comme index dans le mode d'adressage indexé.

**Accumulateurs** — Le MPU possède deux accumulateurs de 8 bits, A et B, qui sont utilisés pour contenir des opérandes et des résultats de l'unité arithmétique et logique (ALU).

**Registre Codes Condition** — Le registre codes condition indique les résultats d'une opération de l'unité arithmétique et logique : Négatif (N), Zéro (Z), Dépassement (V), Retenue du bit 7 (C), et demi-retenue du bit 3 (H). Les bits du registre codes condition sont utilisés comme conditions de test des instructions de branchement conditionnel. Le bit 4 est le bit de masquage des interruptions. Les bits 6 et 7 du registre codes condition, non utilisés, sont à un.

La figure 9 montre la sauvegarde de l'état du microprocesseur dans la pile.

FIGURE 8 — REGISTRES PROGRAMMABLES DU MICROPROCESSEUR

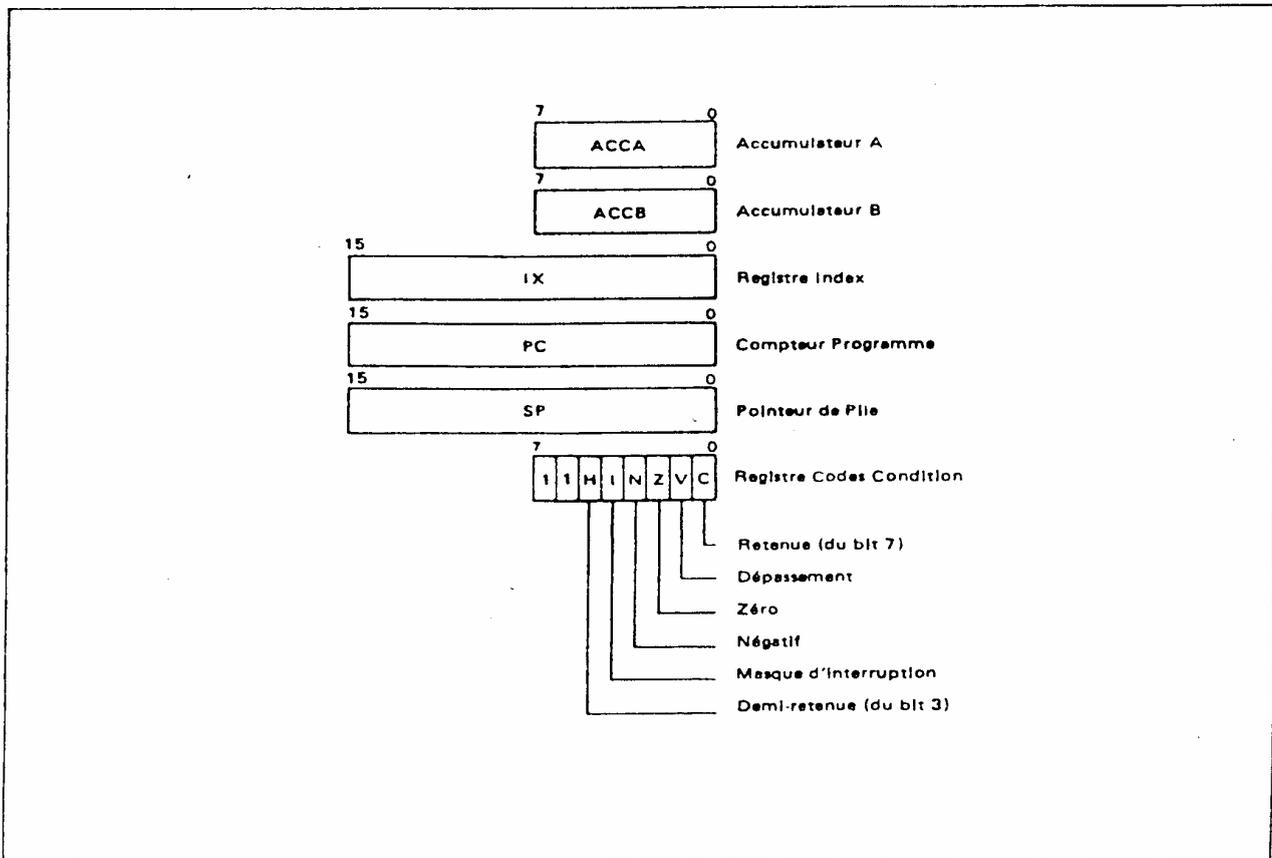


FIGURE 5 - RETARD TYPIQUE EN SORTIE DU BUS DONNEES EN FONCTION DE LA CHARGE CAPACITIVE

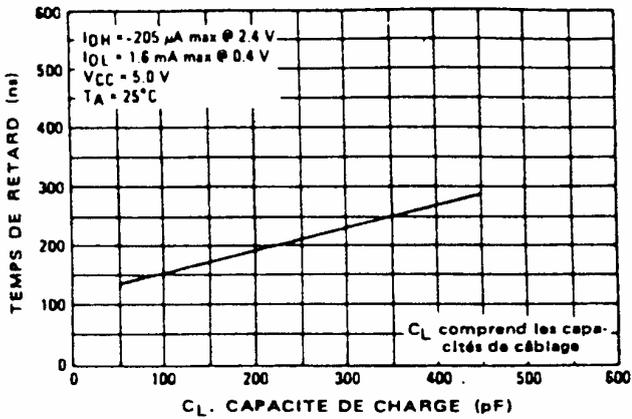


FIGURE 6 - RETARD TYPIQUE DE R/W, VMA ET DES ADRESSES EN FONCTION DE LA CHARGE CAPACITIVE

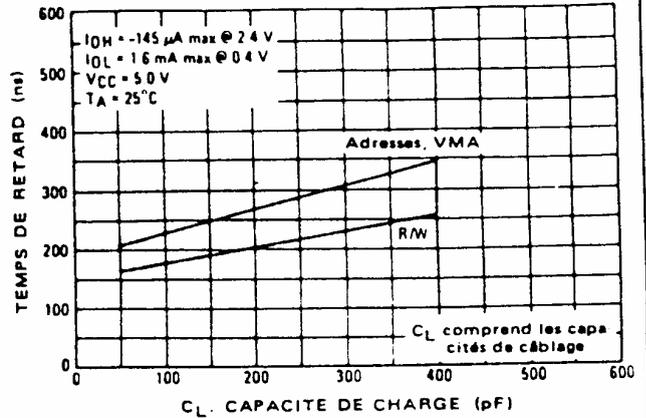
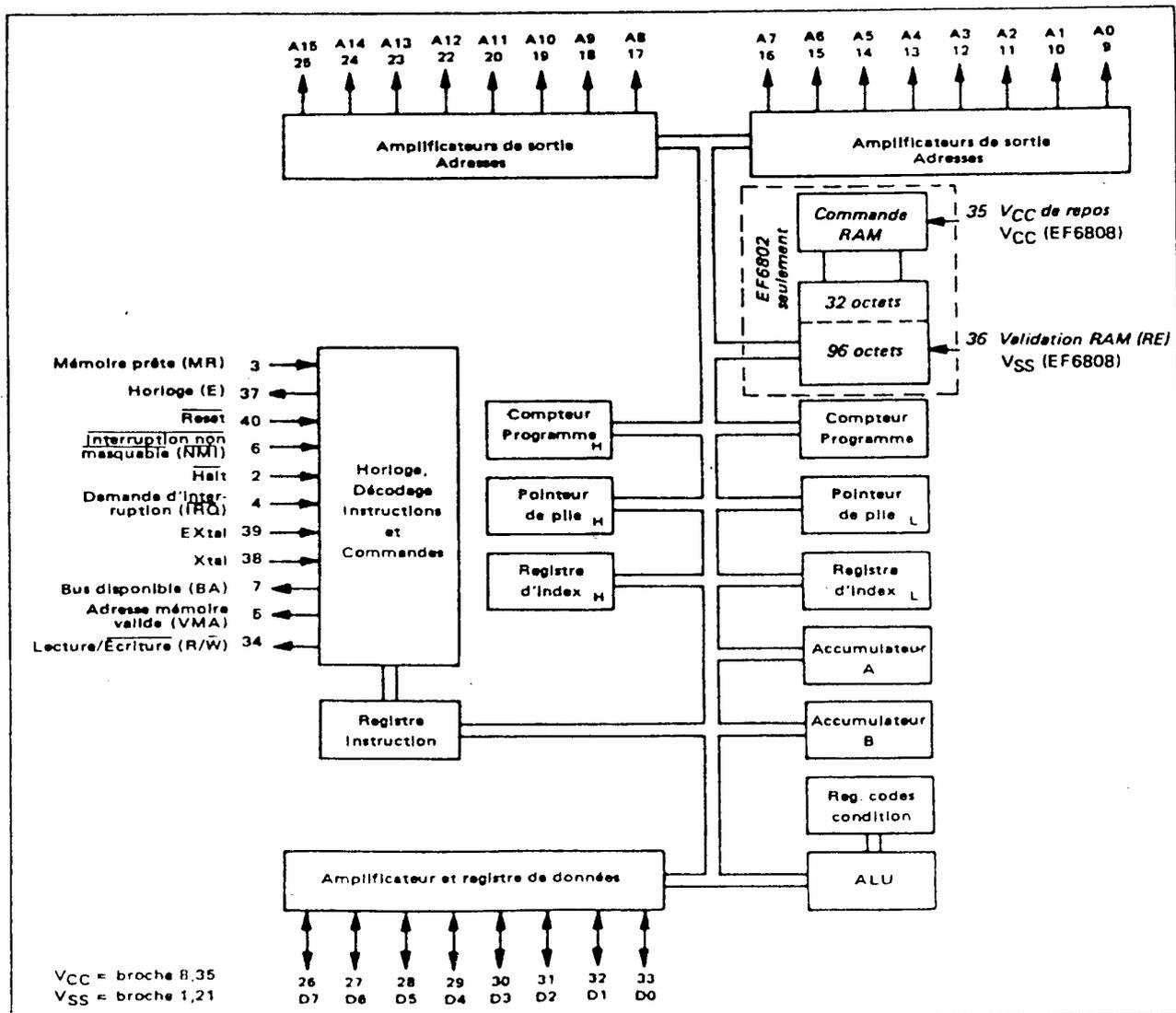


FIGURE 7 - EF6802/EF6808 SCHEMA FONCTIONNEL



### Les instructions

Le MC 6802 dispose de 72 instructions différentes. Ces instructions permettent de réaliser des opérations arithmétiques ou binaire, des opérations logiques, des décalage, des rotations, des chargement ou des mémorisation, des saut conditionnels ou inconditionnels, ainsi que des instructions relatives aux interruptions et aux manipulations de pile.

### Les mode d'adressage

Le MC6802 est pourvu de 7 mode d'adressage. Ces mode d'adressage combiné avec les différentes instructions augmentent notablement les possibilités offerte par ce microprocesseur. Le tableau 7 donne le nombre de cycles machine nécessaire au microprocesseur pour exécuter les diverses instructions en fonction du mode d'adressage.

- ADRESSAGE PAR ACCUMULATEUR (ACCX)

Dans ce mode, les instruction ne portent que sur les accumulateurs (A ou B)

*Ex: DEC A*

- ADRESSAGE INHERENT (OU IMPLICITE):  
Ce mode ne nécessite pas d'opérande; *Ex: NOP;*

- ADRESSAGE IMMEDIAT (#):

Le second octet de l'instruction est une valeur

*LDA #\$DE*

- ADRESSAGE ETENDU

Ce mode permet de travailler avec une adresse particulière de l'espace mémoire, fixée dans le programme et qui peut déterminer soit un espace mémoire quelconque, soit l'adresse d'un outil d'entrée/sortie ....

*STA \$8000 => stocke le contenu de "A" à l'adresse \$8000*

- ADRESSAGE DIRECT (<):

Ce mode permet de travailler avec les 256 octets de poids faible de l'espace mémoire,

*LDA \$30 (mettre dans A le contenu de l'adresse \$0030)*

- ADRESSAGE INDEXE

Dans ce mode l'adresse de l'opérande est définie par le contenu du registre d'index IX

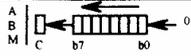
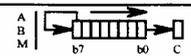
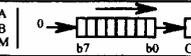
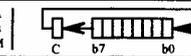
- *LDX #\$A000=> le registre d'index contient (pointe) la valeur \$A000.*

*LDA ,X => (ou 0,X) charge A avec le contenu de l'adresse \$A000.*

### ADRESSAGE RELATIF

Dans ce mode, l'adresse contenu dans le second octet de l'instruction est additionné au poids faible du PC +2 pour former l'adresse de l'opérande.

INSTRUCTIONS "6802"

INSTRUCTIONS	MODES D'ADRESSAGE							DESCRIPTION
	ACCX NB de Cycles	Immédiat NB de Cycles	Direct NB de Cycles	Etendu NB de Cycles	Indexé NB de Cycles	Relatif NB de Cycles	Implicite NB de Cycles	
ABA							2	Addition de l'accumulateur
ADC		2	3	4	5			Acc+M+C → Acc
ADD		2	3	4	5			Acc+M → Acc
AND	2	2	3	4	5			ET logique
ASL	2			6	7			
ASR				6	7			
BCC						4		Branchement si C=0
BCS						4		Branchement si C=1
BEQ						4		Branchement si =0
BGE						4		Branchement si >ou=0
BGT						4		Branchement si >0
BHI						4		Branchement si >
BIT		2	3	4	5			Bit test Acc ( M ^ A )
BLE						4		Branchement si < ou =0
BLS						4		Branchement si < ou =
BLT						4		Branchement si < 0
BMI						4		Branchement si <
BNE						4		Branchement si différent de 0
BPL						4		Branchement si >
BRA						4		Branchement
BSR						8		Branchement à un SP
BVC						4		Branchement si O=0
BVS						4		Branchement si O=1
CBA							2	Comparaison de l'acc
CLC							2	C = 0
CLI							2	Autorise interruption
CLR	2			6	7			Mise à 0
CLV							2	O = 0
CMP	2	2	3	4	5			compare
COM	2			6	7			complémentation
CPX		3	4	5	6			Comparaison de X
DAA	2						2	ajustement décimal de A
DEC				6	7			décréméntation
DES							4	Décréménte S
DEX							4	Décréménte X
EOR		2	3	4	5			A cc ⊕ M → Acc
INC	2			6	7			Acc + 1 → Acc
INS							4	Incréménte S
INX							4	Incréménte X
JMP				3	4			EA → PC (*3)
JSR				9	8			saut à un sous programme
LDA		2	3	4	5			M → Acc
LDS		3	4	5	6			Charge Acc
LDX		3	4	5	6			Charge X
LSR	2	3		6	7			
NEG	2			6	7			Acc / + 1 → Acc
NOP							2	pas d'opération
ORA		2	3	4	5			Acc v M → Acc
PSH							4	Sauvegarde dans la pile S
PUL							4	Extrait de la pile S
ROL	2			6	7			
ROR	2			6	7			Rotation gauche
RTI							10	Retour d'interruption
RTS							5	Retour de sous programme
SBA							2	Soustraction de Acc
SBC		2	3	4	5			Soustraction avec retenue
SEC							2	C = 1
SEI							2	Masque d'interruption
SEV							2	O = 1
STA			4	5	6			Stocke ACC
STS			5	6	7			Stocke S
STX			5	6	7			Stocke X
SUB		2	3	4	5			Soustraction
SWI							12	Interruption logicielle
TAB							2	Transfert de Acc
TAP							2	CCR = Acc
TBA							2	Transfert de Acc
TPA							2	Acc = CCR
TST	2			6	7			Test
TSX							4	IX = S
WAI							9	Attente d'interruption

# transistors commutation rapide NPN



**2N2222**  
**2N2222A**

Décembre 1980

Transistors N-P-N en boîtier métallique TO-18 avec collecteur relié au boîtier, destinés principalement à des applications de commutation très rapide. Le 2N2222 est également utilisable dans les amplificateurs continu et V.H.F./U.H.F.

## CARACTÉRISTIQUES PRINCIPALES

		2N2222	2N2222A	
Tension collecteur-base (émetteur ouvert) . . . . .	$V_{CBO}$ max	60	75	V
Tension collecteur-émetteur (base ouverte) . . . . .	$V_{CEO}$ max	30	40	V
Courant collecteur (continu) . . . . .	$I_C$ max	800	800	mA
Puissance totale dissipée ( $T_{amb} \leq 25^\circ C$ ) . .	$P_{tot}$ max	0,5	0,5	W
Température de jonction . . . . .	$T_j$ max	200	200	$^\circ C$
Gain en courant continu ( $T_j = 25^\circ C$ ) $I_C = 10\text{ mA} ; V_{CE} = 10\text{ V}$ . . . . .	$h_{FE} >$	75	75	
Fréquence de transition ( $f = 100\text{ MHz}$ ) $I_C = 20\text{ mA} ; V_{CE} = 20\text{ V}$ . . . . .	$f_T >$	250	300	MHz
Temps de stockage $I_C = 150\text{ mA} ; I_B = -I_{BM} = 15\text{ mA}$ . . .	$t_s <$	—	225	ns

## DONNÉES MÉCANIQUES

Dimensions en mm

### BOITIER TO-18

Collecteur relié au boîtier.

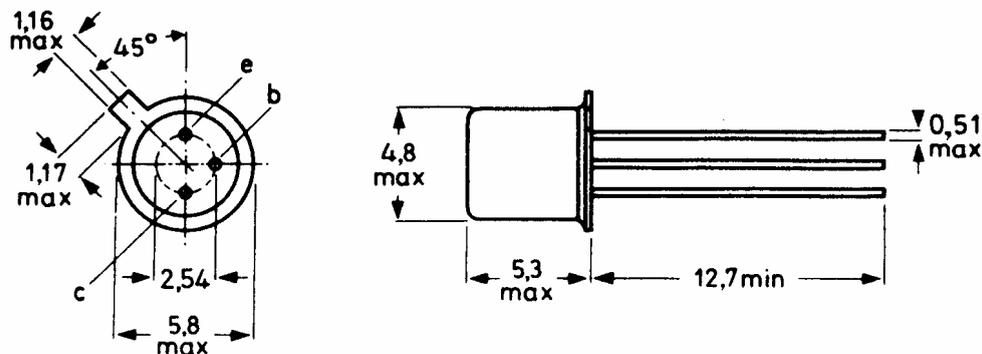


Fig. 1

Accessoire : 56246 (entretoise)

**VALEURS A NE PAS DÉPASSER (limites absolues selon publication CEI 134).**

	2N2222		2N2222A		
	Unité	Unité	Unité	Unité	
<b>Tensions</b>					
Tension collecteur-base (émetteur ouvert)	V <sub>CB0</sub>	max	60	75	V
Tension collecteur-émetteur (base ouverte)	V <sub>CE0</sub>	max	30	40 <sup>1)</sup>	V
Tension émetteur-base (collecteur ouvert)	V <sub>EB0</sub>	max	5	6	V
<b>Courant</b>					
Courant collecteur (continu)	I <sub>C</sub>	max	800		mA
<b>Puissance dissipée</b>					
Puissance totale dissipée (T <sub>amb</sub> ≤ 25 °C)	P <sub>tot</sub>	max	0,5		W
(T <sub>c</sub> ≤ 25 °C)	P <sub>tot</sub>	max	1,2		W
<b>Températures</b>					
Température de stockage	T <sub>stg</sub>		- 65 à + 200		°C
Température de jonction	T <sub>j</sub>	max	200		°C
<b>RÉSISTANCE THERMIQUE</b>					
Jonction - air ambiant	R <sub>th j-a</sub>	=	350		°C/W
Jonction - boîtier	R <sub>th j-c</sub>	=	146		°C/W

**CARACTÉRISTIQUES**

	2N2222		2N2222A		
	Unité	Unité	Unité	Unité	
<b>Courant résiduel collecteur</b>					
I <sub>E</sub> = 0 ; V <sub>CB</sub> = 60 V	I <sub>CB0</sub>	<	10	-	nA
I <sub>E</sub> = 0 ; V <sub>CB</sub> = 50 V ; T <sub>amb</sub> = 150 °C	I <sub>CB0</sub>	<	10	-	µA
I <sub>E</sub> = 0 ; V <sub>CB</sub> = 60 V	I <sub>CB0</sub>	<	-	10	nA
I <sub>E</sub> = 0 ; V <sub>CB</sub> = 60 V ; T <sub>amb</sub> = 150 °C	I <sub>CB0</sub>	<	-	10	µA
<b>Courant résiduel émetteur</b>					
I <sub>C</sub> = 0 ; V <sub>EB</sub> = 3 V	I <sub>EB0</sub>	<	10	10	nA
<b>Courants résiduels (émetteur polarisé en inverse)</b>					
V <sub>CE</sub> = 60 V ; -V <sub>BE</sub> = 3 V	I <sub>CEX</sub> -I <sub>BEX</sub>	<	-	10 20	nA nA

T<sub>j</sub> = 25 °C, sauf indication contraire

**CARACTÉRISTIQUES**

T<sub>j</sub> = 25 °C, sauf indication contraire

	2N2222		2N2222A		
	Unité	Unité	Unité	Unité	
<b>Tensions de claquage</b>					
I <sub>E</sub> = 0 ; I <sub>C</sub> = 10 µA	V <sub>(BR)CBO</sub>	>	60	75	V
I <sub>B</sub> = 0 ; I <sub>C</sub> = 10 mA	V <sub>(BR)CEO</sub>	>	30	40	V
I <sub>C</sub> = 0 ; I <sub>E</sub> = 10 µA	V <sub>(BR)EBO</sub>	>	5	6	V
<b>Tensions de saturation<sup>1)</sup></b>					
I <sub>C</sub> = 150 mA ; I <sub>B</sub> = 15 mA	V <sub>CEsat</sub>	<	0,4	0,3	V
	V <sub>BEsat</sub>	<	1,3	0,6	V
	V <sub>CEsat</sub>	<	1,6	1,2	V
	V <sub>BEsat</sub>	<	2,6	1,0	V
I <sub>C</sub> = 500 mA ; I <sub>B</sub> = 50 mA	V <sub>CEsat</sub>	<	2,6	2,0	V
<b>Gain en courant continu</b>					
I <sub>C</sub> = 0,1 mA ; V <sub>CE</sub> = 10 V	h <sub>FE</sub>	>	35	35	
I <sub>C</sub> = 1 mA ; V <sub>CE</sub> = 10 V	h <sub>FE</sub>	>	50	50	
I <sub>C</sub> = 10 mA ; V <sub>CE</sub> = 10 V	h <sub>FE</sub>	>	75	75	
I <sub>C</sub> = 10 mA ; V <sub>CE</sub> = 10 V ; T <sub>amb</sub> = -55 °C	h <sub>FE</sub>	>	-	35	
I <sub>C</sub> = 150 mA ; V <sub>CE</sub> = 1 V <sup>1)</sup>	h <sub>FE</sub>	>	50	50	
I <sub>C</sub> = 150 mA ; V <sub>CE</sub> = 10 V <sup>1)</sup>	h <sub>FE</sub>	>	100 à 300	100 à 300	
I <sub>C</sub> = 500 mA ; V <sub>CE</sub> = 10 V <sup>1)</sup>	h <sub>FE</sub>	>	30	40	
<b>Fréquence de transition (f<sub>T</sub> = 100 MHz)</b>					
I <sub>C</sub> = 20 mA ; V <sub>CE</sub> = 20 V	f <sub>T</sub>	>	250	300	MHz
<b>Capacité collecteur (f = 100 KHz)</b>					
I <sub>E</sub> = I <sub>C</sub> = 0 ; V <sub>CB</sub> = 10 V	C <sub>c</sub>	<	8	8	pF
<b>Capacité émetteur (f = 100 KHz)</b>					
I <sub>C</sub> = I <sub>C</sub> = 0 ; V <sub>EB</sub> = 0,5 V	C <sub>e</sub>	<	-	25	pF
<b>Constante de temps de transfert inverse (f = 31,8 MHz)</b>					
I <sub>C</sub> = 20 mA ; V <sub>CE</sub> = 20 V	t <sub>b</sub> C <sub>c</sub>	<	-	150	ps

<sup>1)</sup> Applicable jusqu'à I<sub>C</sub> = 500 mA.

<sup>1)</sup> Durée d'impulsion ≤ 300 µs ; facteur de cycle ≤ 0,02.

**DOC 17**

SERIES DE VALEURS NORMALISEES ET TOLERANCES ASSOCIEES															
ECHELLE DE VALEUR					ECHELLE DE VALEUR					ECHELLE DE VALEUR					
E6	E12	E24	E48	E96	E6	E12	E24	E48	E96	E6	E12	E24	E48	E96	
TOLERANCE					TOLERANCE					TOLERANCE					
20%	10%	5%	2%	1%	20%	10%	5%	2%	1%	20%	10%	5%	2%	1%	
				102					226	226				487	487
			105	105					232	232				499	499
			107	107					237	237				511	511
		110	110	110				240	240	243			510	511	511
			113	113					249	249				536	536
			115	115					255	255		560	560	562	562
	120	120	118	118					261	261				590	590
			121	121		270	270		267	267				576	576
			124	124					274	274				590	590
			127	127					280	280				604	604
		130	130	130					287	287			620	619	619
			133	133				300	294	294				634	634
			137	137					301	301				649	649
			140	140					309	309				665	665
			143	143					316	316	680	680	680	681	681
			147	147	330	330	330		324	324				698	698
150	150	150	150	150					332	332				715	715
			154	154					340	340				732	732
		160	158	158					348	348				750	750
			162	162				360	357	357				768	768
			165	165					365	365				787	787
			169	169					374	374		820	820	806	806
			174	174					383	383				825	825
	180	180	178	178		390	390		392	392				845	845
			182	182					402	402				866	866
			187	187					412	412			910	887	887
			191	191					422	422				909	909
			196	196				430	432	432				931	931
		200	200	200					442	442				953	953
			205	205					453	453				976	976
			210	210					464	464	1000	1000	1000	1000	1000
220	220	220	215	215	470	470	470		475	475				1000	1000
			221	221											

MODELES A UTILISER POUR LES DIODES

