

B.T.S. ELECTRONIQUE

SESSION 2003

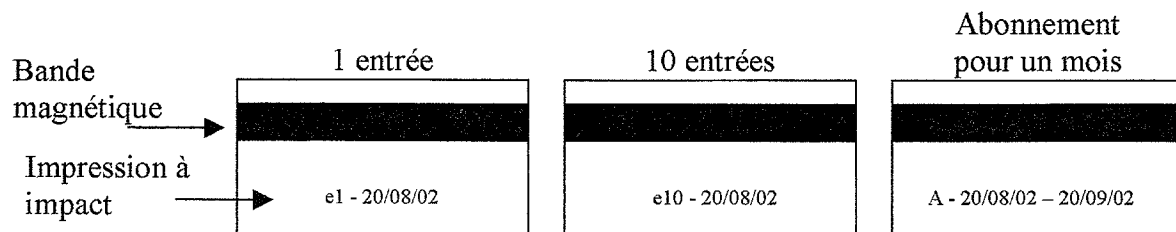
ETUDE D'UN SYSTEME TECHNIQUE

SYSTEME DE DISTRIBUTION DE CARTES D'ENTREE DE PISCINE

**DOSSIER DE PRESENTATION TECHNIQUE
DU SYSTEME**

Ce dossier comporte 19 pages

Le distributeur automatique de cartes d'accès est placé à l'entrée des piscines. Il autorise trois types d'accès suivant deux tarifs (plein tarif : carte couleur blanche ou tarif réduit : carte couleur bleue).



- ❑ Le paiement se fait en espèce. Il rejette les espèces reconnues mauvaises. Il rend la monnaie.
- ❑ Il peut lire les cartes, afin d'afficher l'encours par exemple le nombre d'entrées disponibles.

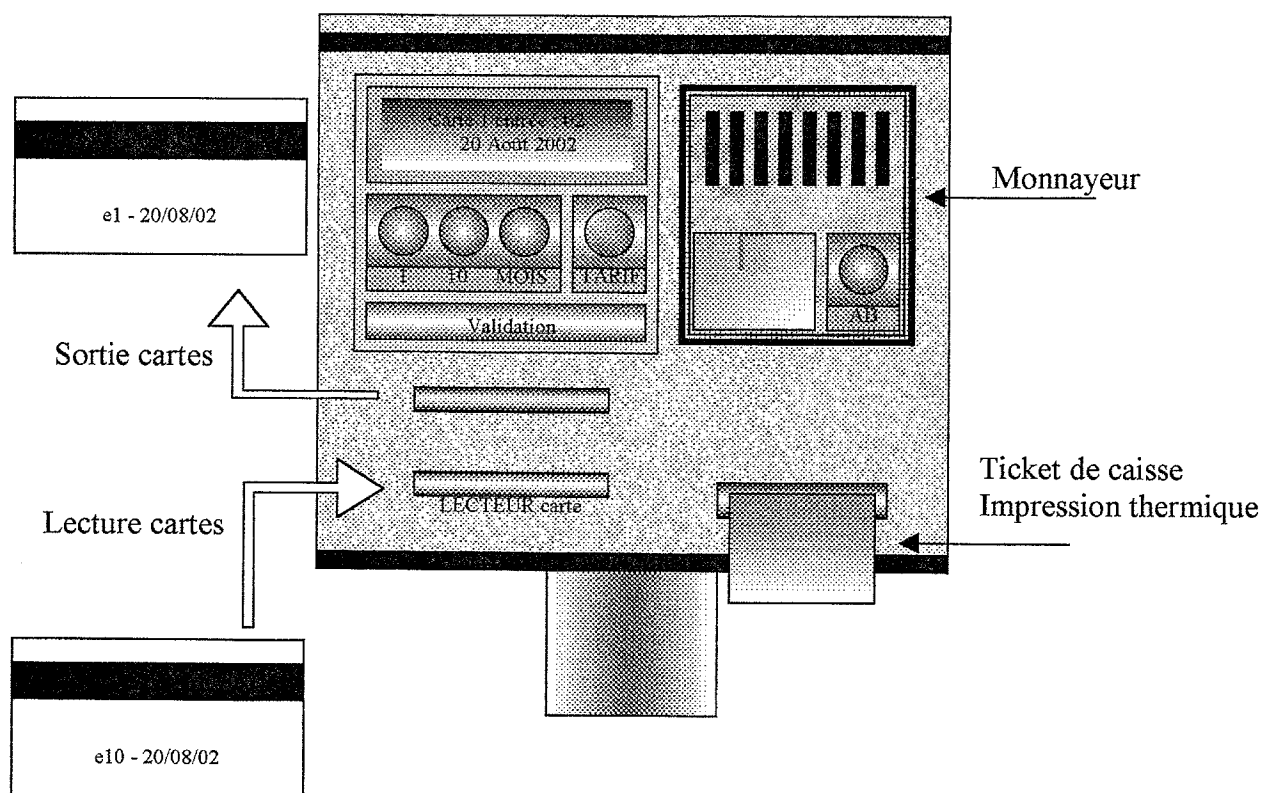
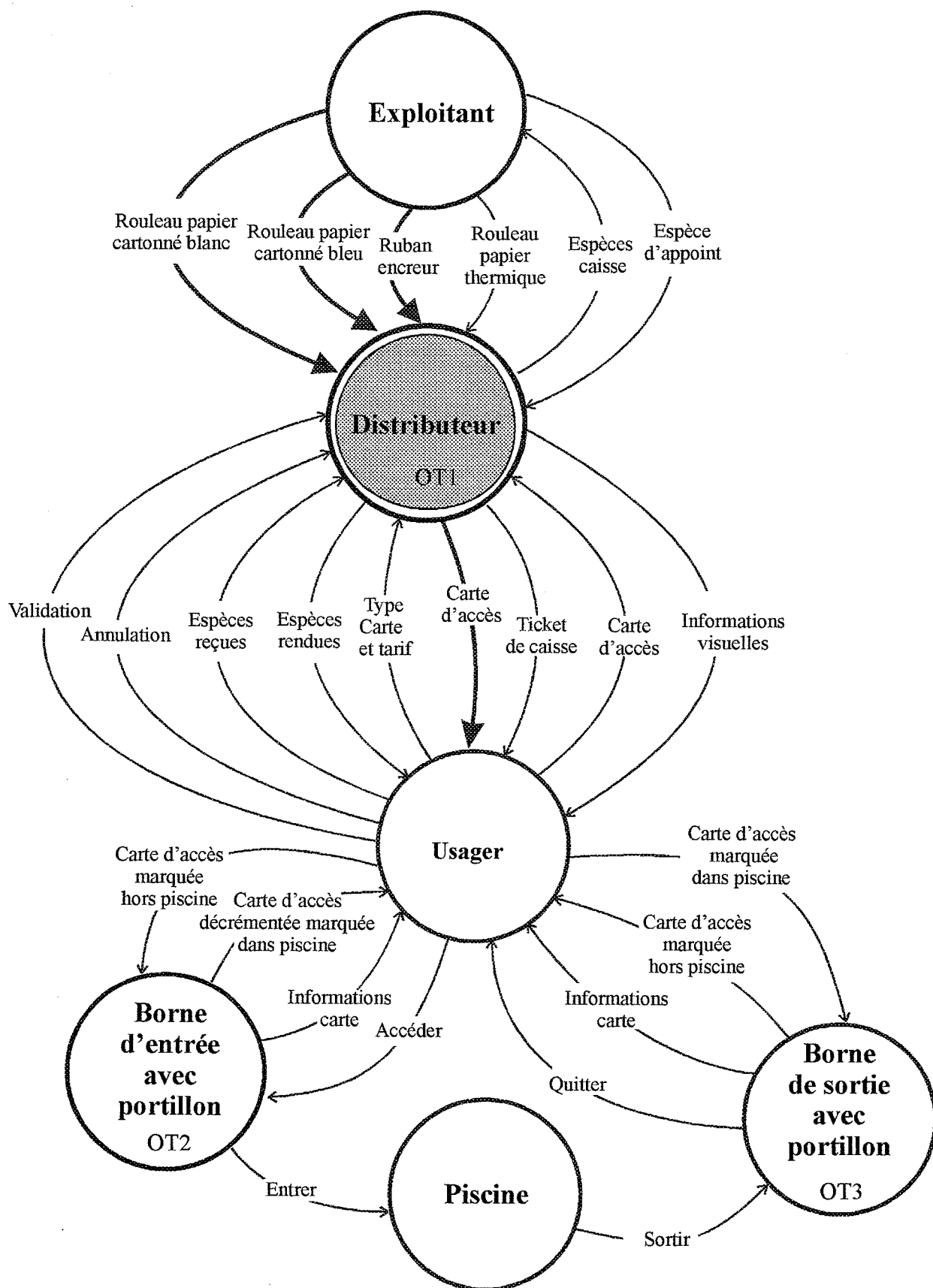


DIAGRAMME SAGITTAL DU SYSTEME DE DISTRIBUTION DE CARTE D'ENTREE DE PISCINE



Rôle des individus et fonction d'usage des objets techniques

Usager :

Il accède à la piscine, pour cela il doit :

- ☐ Acheter une carte d'accès au distributeur.
- ☐ Accéder à la piscine en présentant sa carte valide à la borne d'entrée.
- ☐ Sortir en présentant sa carte à la borne de sortie.

Piscine :

Elle reçoit les usagers. Son accès est contrôlé par les bornes d'entrée et de sortie.

Borne d'entrée avec portillon (OT2) :

Elle autorise l'entrée de la piscine pour cela :

- ☐ Elle lit la carte d'accès.
- ☐ Elle affiche l'encours.
- ☐ Elle décompte un accès.
- ☐ Elle positionne sur la carte un indicateur « nageur dans piscine », qui interdit une seconde entrée avec la même carte.
- ☐ Elle actionne l'ouverture puis la fermeture du portillon d'entrée.
- ☐ Elle restitue la carte après passage du portillon.

Borne de sortie avec portillon (OT3) :

Elle autorise la sortie de la piscine pour cela :

- ☐ Elle lit la carte d'accès.
- ☐ Elle positionne sur la carte un indicateur « nageur hors piscine ». La carte est à nouveau utilisable pour une entrée.
- ☐ Elle actionne l'ouverture puis la fermeture du portillon de sortie.
- ☐ Elle restitue la carte après passage du portillon.

Distributeur (OT1) :

Il reconnaît et rejette les espèces mauvaises. Il stocke temporairement les « espèces reçues » en indiquant le total temporaire.

Il gère la transaction : acquisition du type d'accès, du tarif, validation.

En cas d'annulation, il annule la transaction et restitue les « espèces annulation ».

Après validation :

Il distribue les cartes d'accès de piscine après les avoir produites et imprimées.

Il restitue les « espèces monnaie ».

Il imprime un ticket de caisse.

Il lit les cartes d'accès.

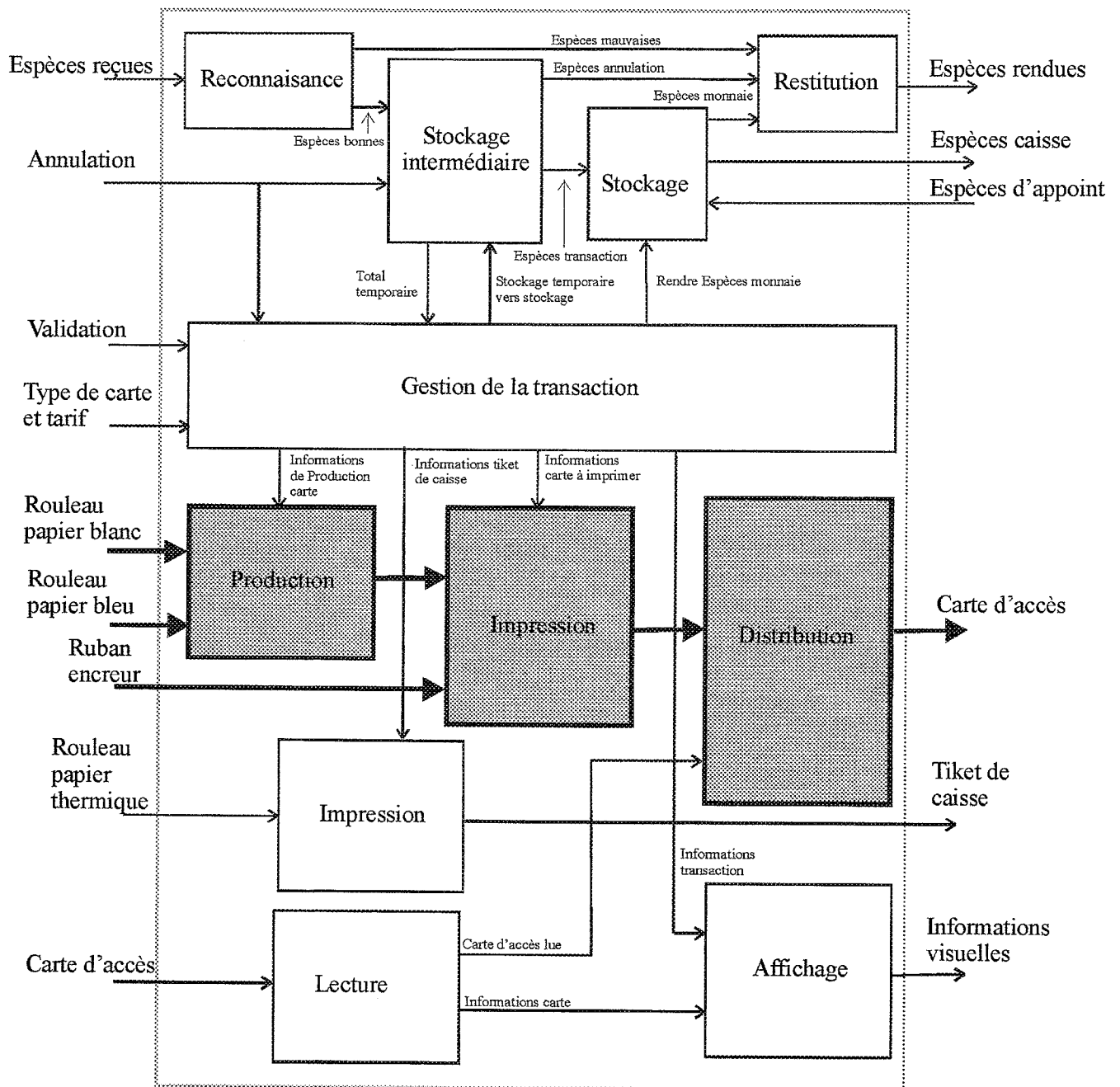
Il affiche les informations concernant la transaction en cours ou lues sur la carte introduite.

Exploitant :

Il assure l'approvisionnement permettant un bon fonctionnement du distributeur, pour cela :

- ❑ Il approvisionne le distributeur en rouleaux de « papier cartonné » bleu et blanc et en rubans encreurs pour la fabrication des cartes d'accès.
- ❑ Il approvisionne le distributeur en rouleaux de papier thermique pour l'impression du ticket reçu.
- ❑ Il récupère chaque soir le produit de la vente des cartes d'entrées en laissant un assortiment de monnaie.

Schéma fonctionnel du distributeur (OT1)



Description de la fabrication d'une carte de piscine

Les structures réalisant les fonctions « Production », « Impression », « Lecture » et « Distribution » se composent :

- ❑ **De deux magasins** recevant les rouleaux de papier cartonné servant à la fabrication des cartes d'accès.
 - Le magasin inférieur reçoit du papier cartonné de couleur blanche pour les cartes d'accès tarif plein
 - Le magasin supérieur reçoit du papier cartonné de couleur bleue pour les cartes d'accès tarif réduit.
- ❑ **D'un massicot** permettant la coupe du papier cartonné afin de réaliser une carte d'accès.
- ❑ **D'une tête d'écriture magnétique (Tt1 cod) et de lecture magnétique (Tt1 lect)** permettant l'enregistrement des données utiles à la gestion sur la piste magnétique située au dos de la carte d'accès et la lecture des données utiles à la gestion et après écriture sur la piste magnétique afin de vérifier la bonne écriture.
- ❑ **De guides** permettant l'avance sans glissement de la carte d'accès lors des diverses opérations d'écriture, de vérification ou de lecture et d'impression.
- ❑ **D'une tête d'impression à impacts.**

Processus de fabrication d'une carte d'accès :

Se reporter aux schémas pages DP8 et DP9.

Les magasins supérieurs et inférieurs sont chargés par des bobines de papier cartonné.

Des détecteurs (FBOB1 et FBOB2) attestent de la présence de chaque bobine et permettent de stopper la distribution en cas de rupture ou de fin de l'une des deux bobines.

Deux électroaimants (non représentés) BOB1 et BOB2 permettent d'actionner soit :

- L'entraînement des rouleaux de traction de la bobine du magasin inférieur pour la fabrication d'une carte d'accès de couleur Blanche (les rouleaux de traction de la bobine du magasin supérieur ne sont alors pas entraînés).
- L'entraînement des rouleaux de traction de la bobine du magasin supérieur pour la fabrication d'une carte d'accès de couleur Bleue (les rouleaux de traction de la bobine du magasin inférieur ne sont alors pas entraînés).
- L'arrêt des rouleaux de traction des deux magasins lorsque aucune carte d'accès n'est en fabrication.

Lors de la fabrication d'une carte d'accès, l'un des deux électroaimants est commandé, selon le type de tarif : tarif plein ou tarif réduit. Dans le cas d'un tarif réduit (carton couleur bleue) :

- Commande de l'électroaimant BOB1.
- Les rouleaux de traction du magasin supérieur se mettent en route et entraînent la carte d'accès.
- Les courroies d'entraînement sont aussi actionnées afin d'assurer le guidage du papier.
- Lorsque la carte d'accès arrive devant le « détecteur longueur carte d'accès » (LONGV), les rouleaux tracteurs et les courroies d'entraînement sont stoppés.
- Le massicot est alors actionné, un capteur (COUTO) permet de s'assurer que le papier est coupé.
- La suite du processus de la formation d'une carte d'accès servira à l'inscription des données magnétiques et à l'impression des informations écrites.

Les rouleaux tracteurs sont alors remis en action et la carte d'accès se déplace alors vers la droite en direction de la tête de lecture.

Elle passe alors devant le capteur (ENCOD) de détection de lecture écriture. Il indique au système que la carte d'accès est en position pour être écrite (lors de la production d'une carte d'accès) ou pour être lue (lors de la lecture d'un encours).

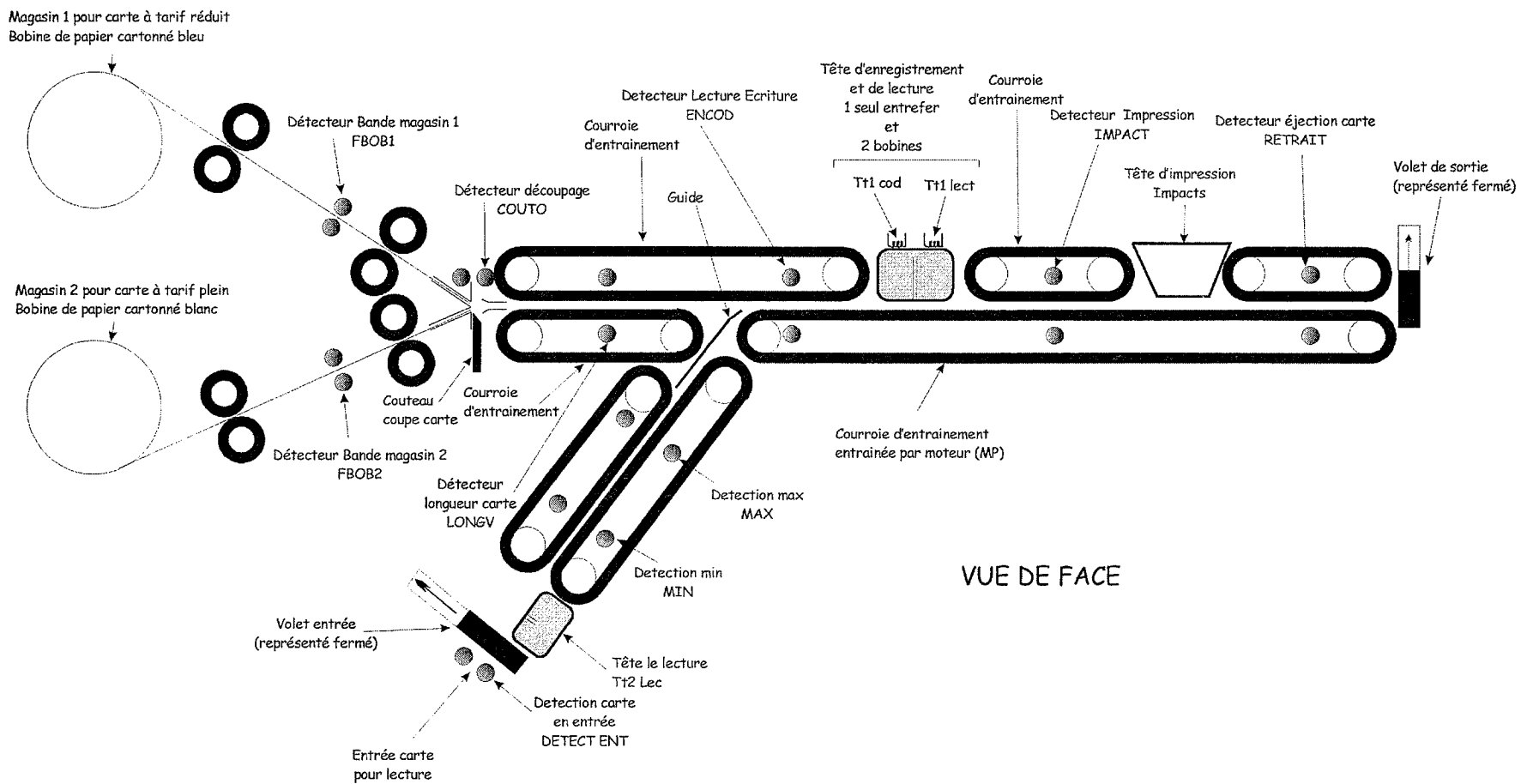
Pour le cas de la fabrication d'une carte, le capteur (IMPACT) indique que la carte est en position pour être imprimée.

L'imprimante à impacts peut alors être actionnée.

Après impression, un capteur (RETRAIT) permet de détecter que la carte d'accès a été éjectée et remise au nageur.

Dans le cas de l'introduction d'une carte d'accès pour lecture de l'encours, la carte d'accès est introduite par l'entrée « LECTEUR CARTE ». Elle est lue par la tête de lecture, puis éjectée sans être imprimée.

Schéma de principe de la formation et de la lecture d'une carte



VUE DE FACE

DP8/19

ELEST

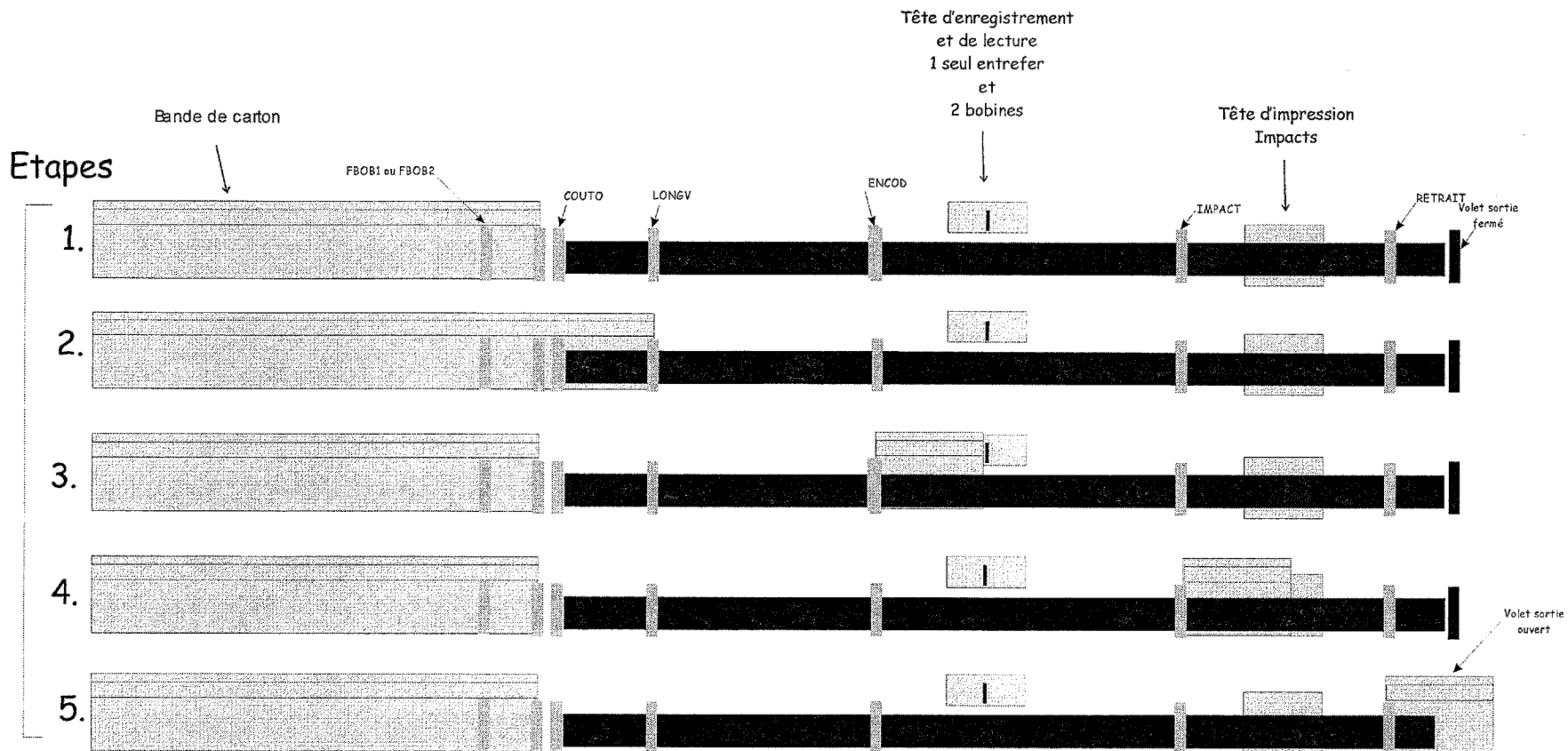
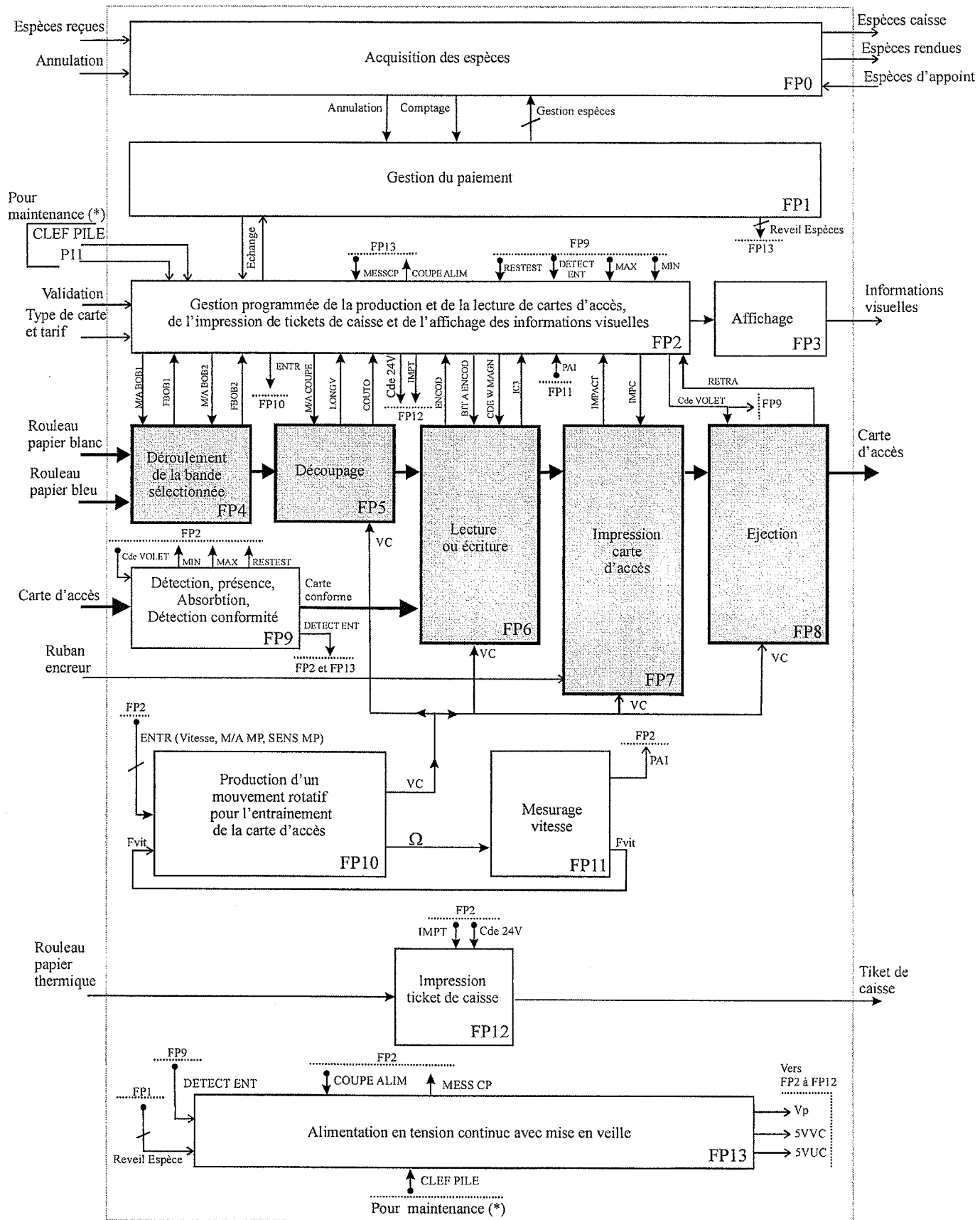


Schéma fonctionnel de degré 1



(*) P11 et CLEF PILE sont utilisés par les techniciens de maintenance de l'appareil.

Définition des fonctions principales

FP0 Acquisition des espèces.

Reçoit les espèces provenant du nageur, reconnaît les fausses pièces, qu'elle éjecte, stocke les bonnes pièces, envoie une information de comptage vers FP1 et rend le cas échéant la monnaie.

FP1 Gestion du paiement.

Gère l'acquisition des espèces. Produit en cas de présence de pièces une information « réveil espèces ».

FP2 Gestion programmée de production et de la lecture de cartes d'accès, de l'impression de tickets de caisse et de l'affichage des informations visuelles.

FP3 Affichage.

Affichage les informations de saisie pour la distribution d'une carte ou le contenu pendant la lecture d'une carte.

FP4 Déroulement de la bande sélectionnée.

Actionne le mécanisme qui assure le déroulement de la bande de papier cartonné d'un des deux magasins lors de la fabrication d'une carte d'accès ou l'arrêt du déroulement.

FP5 Découpage.

Permet le découpage de la bande de papier cartonné afin de produire une carte d'accès. Un capteur informe que la bande a bien été découpée.

FP6 Lecture ou écriture.

Lecture d'encours en phase de lecture d'une carte ou écriture des informations en phase de production de carte d'accès.

FP7 Impression carte d'accès.

Imprime les informations représentatives sur la carte d'accès lors de la production.

FP8 Ejection.

Ejecte la carte d'accès.

FP9 Absorption.

Absorbe une carte d'accès introduite par un nageur pour lecture de l'encours.

FP10 Production d'un mouvement rotatif pour l'entraînement de la carte d'accès.

Produit le mouvement rotatif d'entraînement des courroies qui permettent à la carte d'avancer.

FP11 Mesurage vitesse.

Produit 2 signaux périodiques Fvit et PAI de fréquence proportionnelle à la vitesse de rotation du mouvement rotatif de FP10. PAI a une fréquence égale à 4 fois la fréquence de Fvit.

FP12 Impression Ticket caisse.

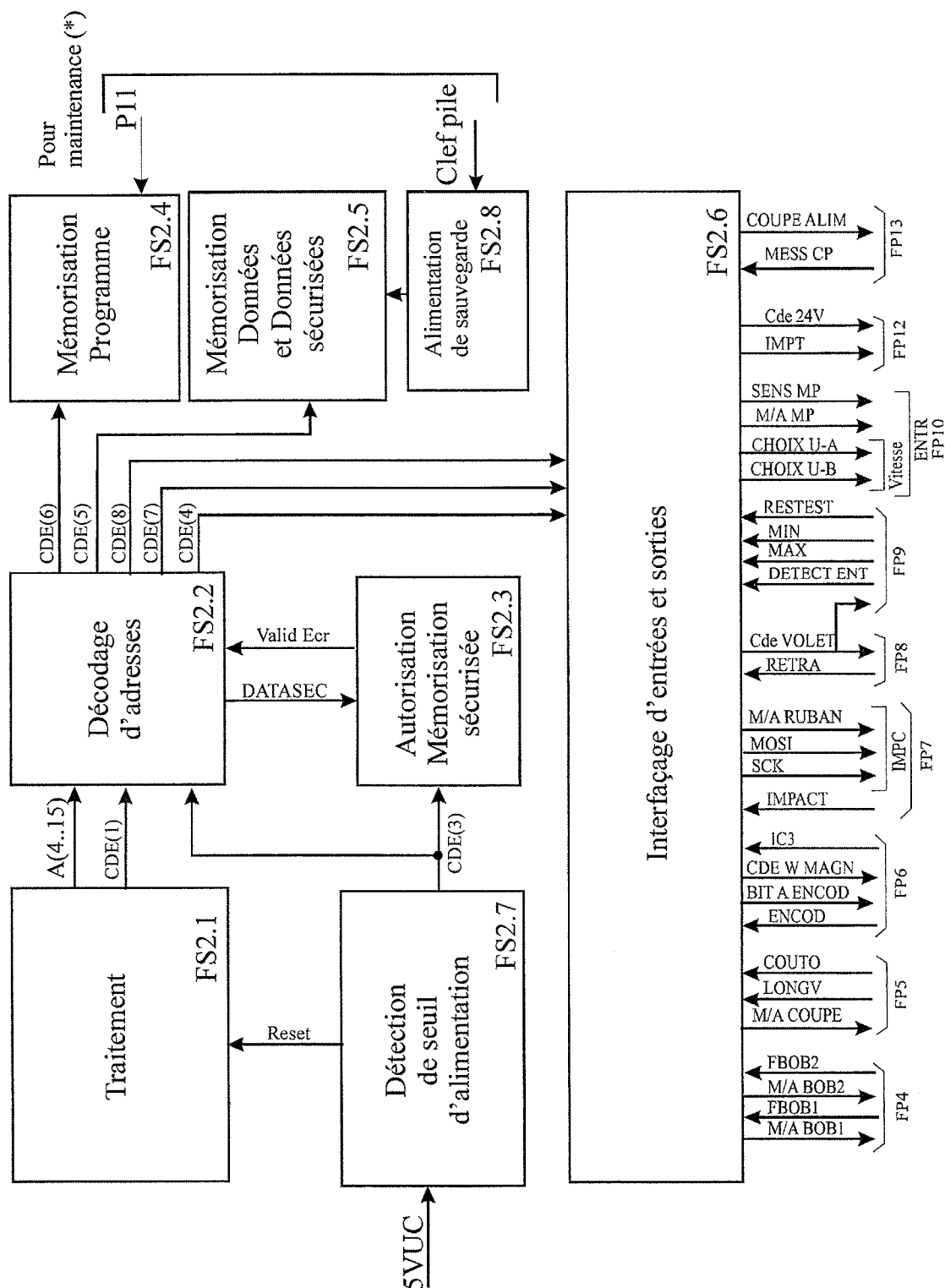
Produit un reçu. Elle est de technologie à impression thermique.

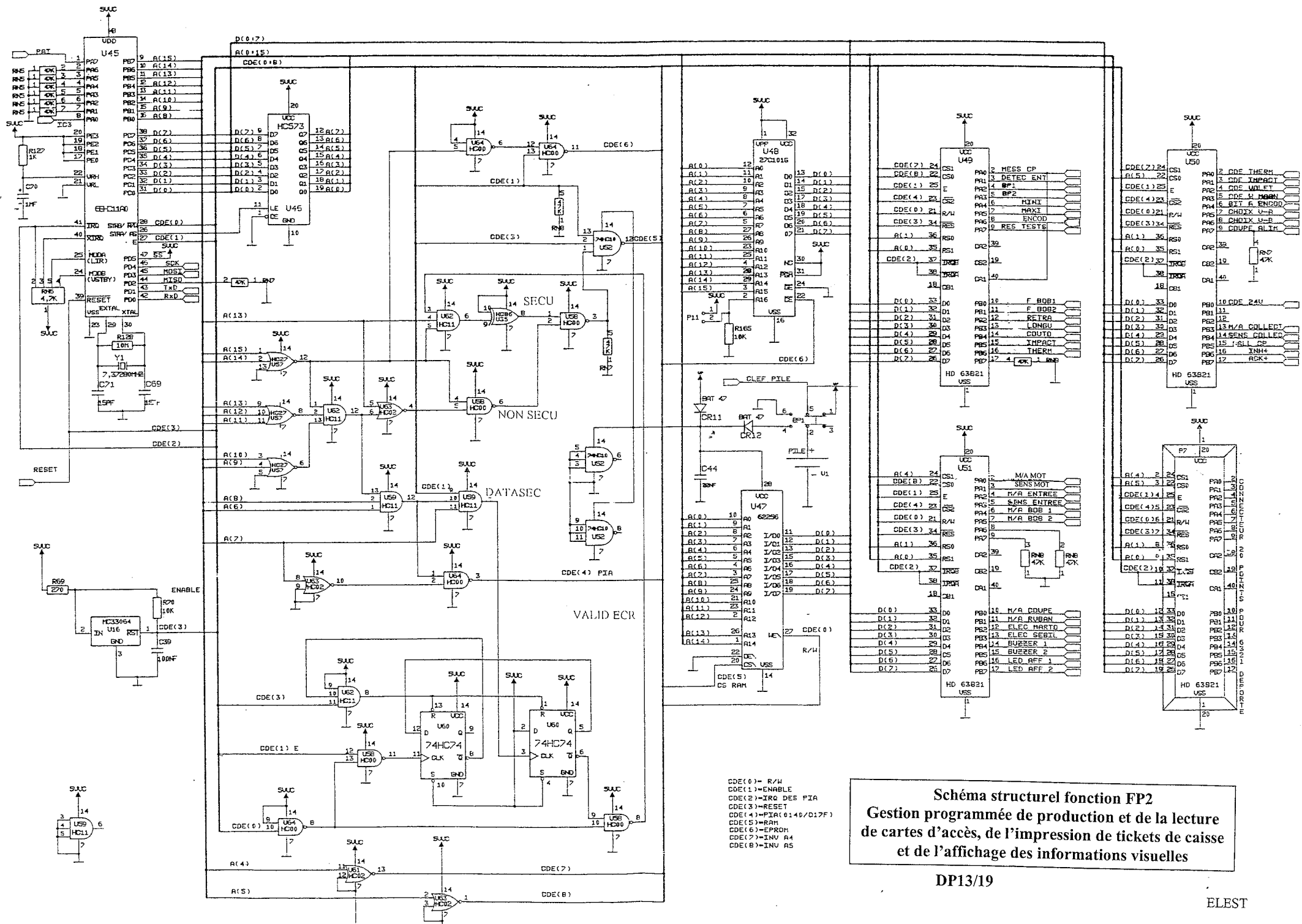
FP13 Alimentation en tension continue avec mise en veille.

Assure la mise en veille d'une partie des fonctions d'OT1, afin d'économiser de l'énergie.

Schéma fonctionnel simplifié de degré 2 (signaux de commande et de contrôle) de la fonction FP2

Gestion programmée de production et de la lecture de cartes d'accès, de l'impression de tickets de caisse et de l'affichage des informations visuelles





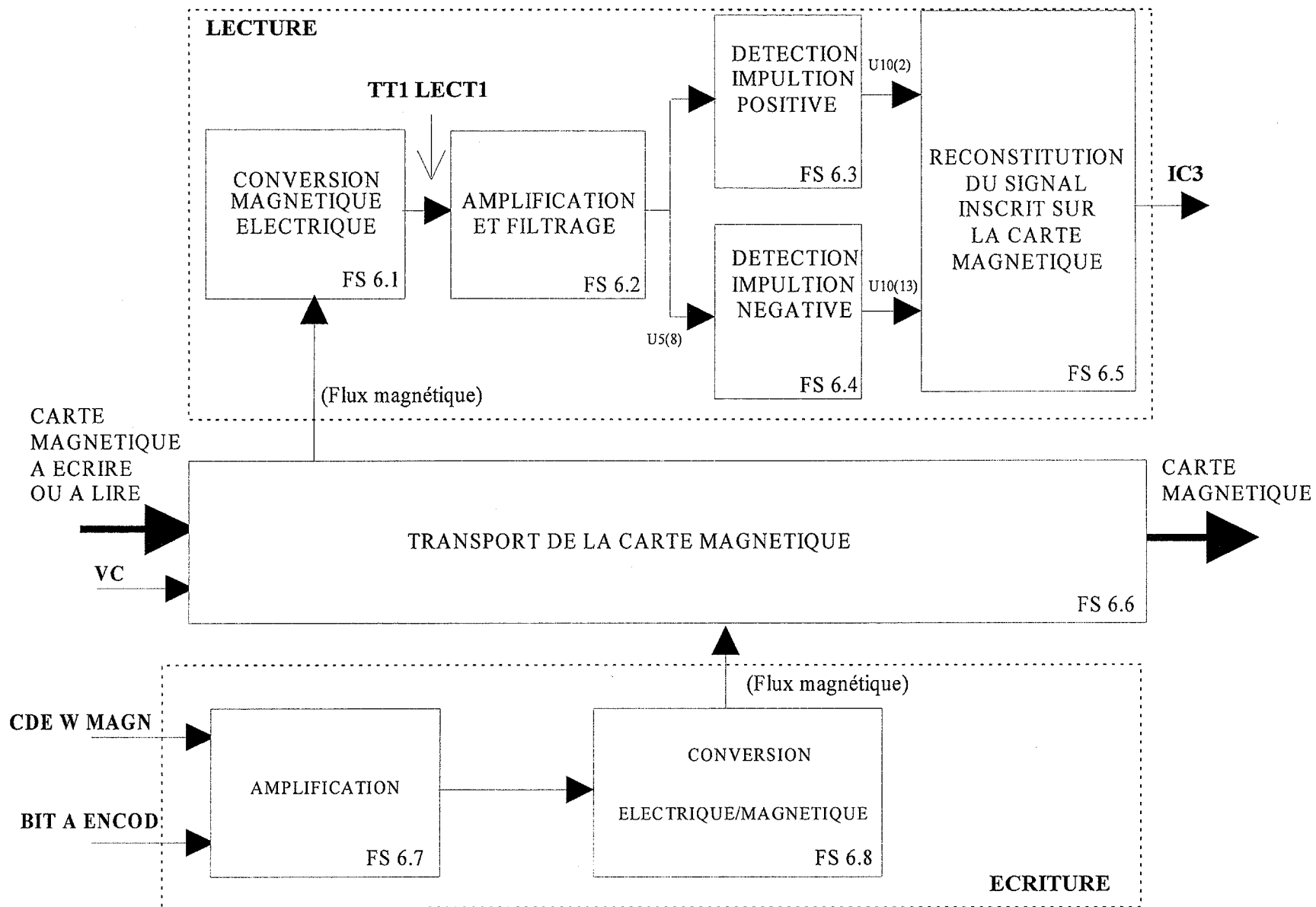


Schéma fonctionnel de degré 2 de la fonction FP6
Lecture ou écriture

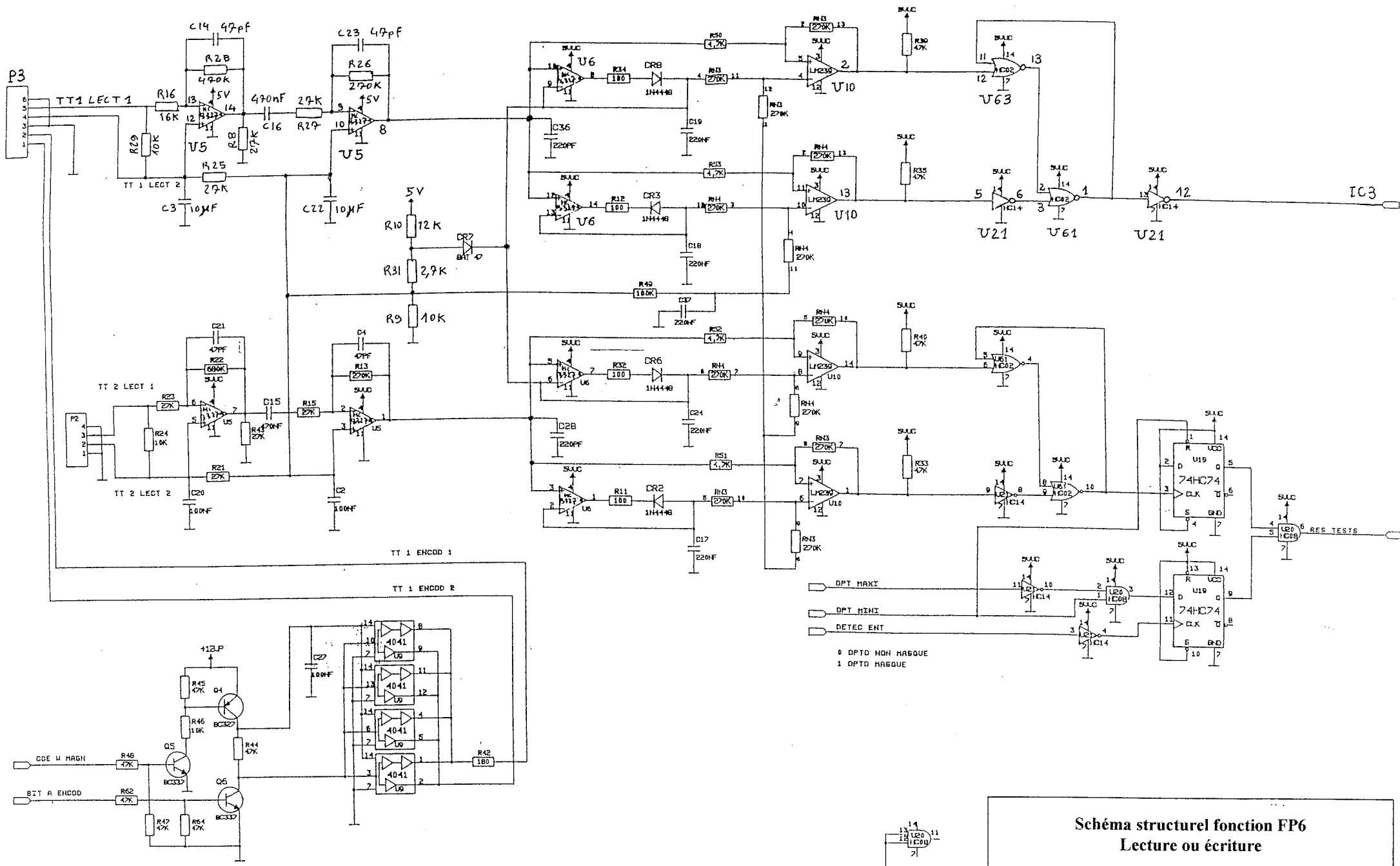
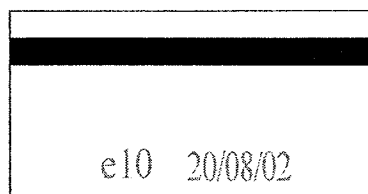


Schéma structurel fonction FP6
Lecture ou écriture

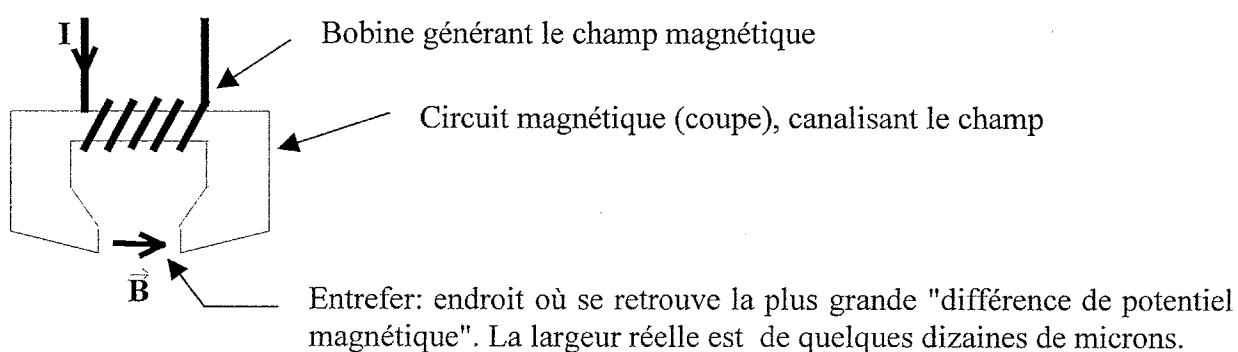
Lecture et écriture d'information sur piste magnétique



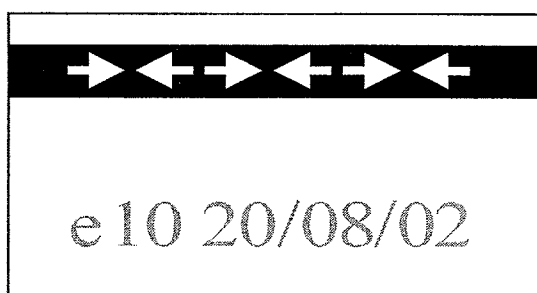
Sur la carte est déposée une piste constituée d'une poudre ferromagnétique, avec un liant.

Si une zone de la piste est soumise à un champ magnétique cette zone "mémoire" l'action sous la forme d'un champ rémanent, permanent. Ce champ magnétique rémanent est une grandeur vectorielle.

Ecriture :



En faisant défiler la carte devant l'entrefers (qui la touche), si aux deux sens de courant I , on associe les deux niveaux logiques '0' et '1', on mémorisera une "image" magnétique correspondant à un mot numérique.



Zone magnétisée dans un sens ou dans l'autre.

Le champ rémanent est longitudinal, dans la direction du défilement, le sens dépend du sens du courant dans l'inductance de la tête.

Lecture :

En faisant défiler la carte devant le même dispositif, les variations de flux magnétique dans l'entrefer induisent une force électromotrice aux bornes de l'inductance.

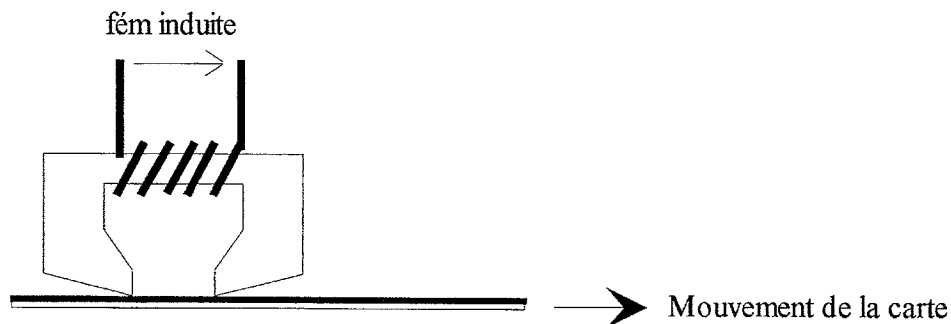
La fém induite est de la forme : $e = -k_0 \cdot n \cdot \frac{d\phi}{dt}$ $\left\{ \begin{array}{l} - k_0 \text{ rend compte de la forme du circuit magnétique.} \\ - n \text{ est le nombre de spires de la bobine.} \end{array} \right.$

L'entrefer ayant une hauteur (quelques mm), et une largeur (quelques dizaines de microns), on utilise la notion de variation de flux à travers la surface S (constante) de l'entrefer, pour rendre compte du fait que c'est la variation dans l'entrefer du champ magnétique B "inscrit" sur la carte qui induit la fém.

On sait que : $\phi = n \cdot B \cdot S \Rightarrow d\phi = n \cdot dB \cdot S$ on déduit : $e = -k_1 \cdot \frac{dB}{dt}$

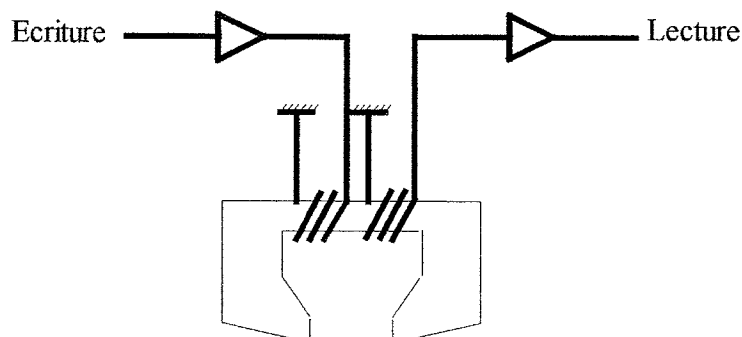
k_1 rendant compte cette fois, de la forme du circuit magnétique, du nombre de spires et de la surface de l'entrefer.

La fém induite est proportionnelle à la dérivée du champ magnétique présent devant l'entrefer



Remarque :

Dans l'objet technique étudié, le même circuit magnétique supporte une bobine d'écriture, et une bobine de lecture.



Une électronique spécifique est associée à chaque bobine.

Schéma fonctionnel de degré 2 des fonctions FP10 : Production d'un mouvement rotatif pour l'entraînement de la carte d'accès et FP11 : Mesurage vitesse

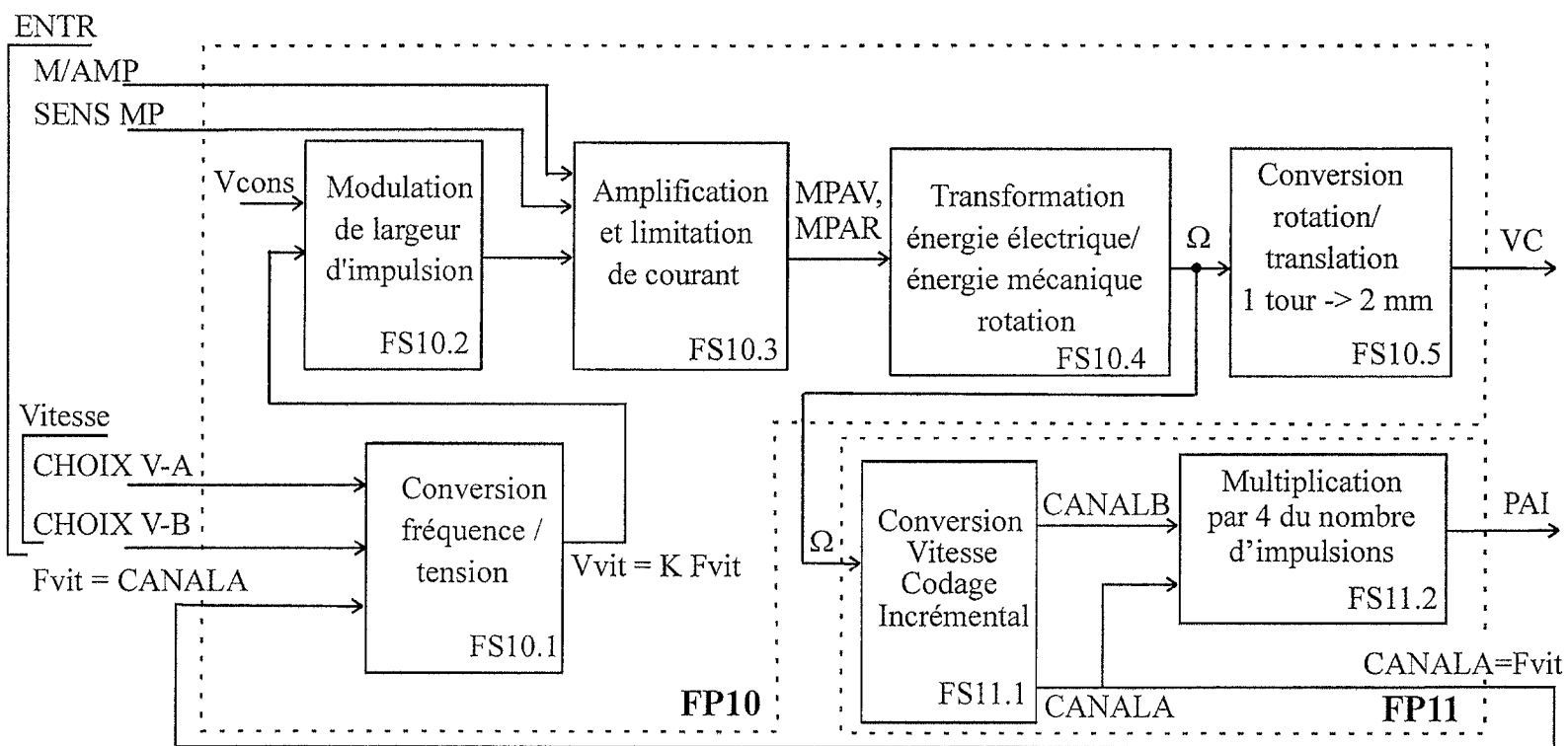


Schéma structurel des fonctions FP10 et FP11



B.T.S. ELECTRONIQUE

SESSION 2003

ETUDE D'UN SYSTEME TECHNIQUE

SYSTEME DE DISTRIBUTION DE CARTES D'ENTREE DE PISCINE

EXTRAITS DE DOCUMENTS TECHNIQUES

Escap 28LT12
Encoder E9
LM231/LM331
TL494
2953 – 2954

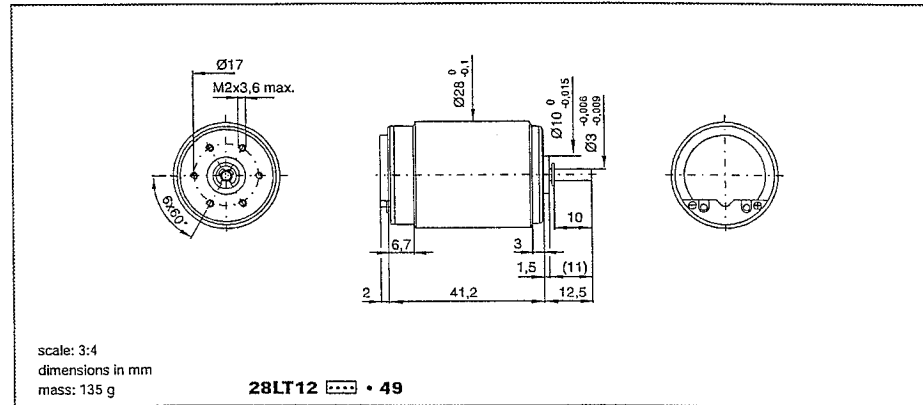
page DT2
page DT3
pages DT4 à DT16
pages DT17 à DT24
pages DT25 à DT29

Ce dossier comporte 29 pages

escap 28LT12

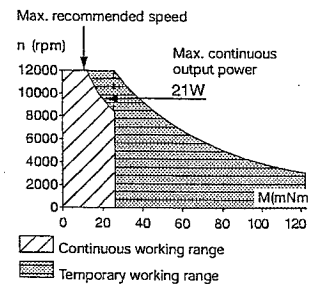
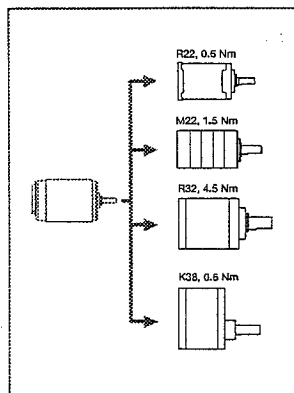
Graphite/copper commutation system - 9 segments

D.C. Motor
21 Watt



Winding types		-219P	-219	-416E
Measured values				
1 Measuring voltage	V	9.0	18.0	32.0
2 No-load speed	rpm	7900	7900	7400
3 Stall torque	mNm (oz-in)	57 (8.1)	63 (8.86)	65 (9.26)
4 Average no-load current	mA	125.0	65.0	35.0
5 Typical starting voltage	V	--	--	--
Max. recommended values				
6 Max. continuous current	A	2.15	1.13	0.63
7 Max. continuous torque	mNm (oz-in)	21.6 (3.06)	22.8 (3.23)	24.2 (3.42)
8 Max. angular acceleration	10^3 rad/s^2	51	53	34
Intrinsic parameters				
9 Back-EMF constant	V/1000 rpm	1.12	2.24	4.26
10 Torque constant	mNm/A (oz-in/A)	10.7 (1.51)	21.4 (3.03)	40.7 (5.76)
11 Terminal resistance	ohm	1.70	6.15	19.9
12 Motor regulation R/k^2		15	13	12
13 Rotor inductance	mH	0.10	0.50	2.40
14 Rotor inertia	$\text{kgm}^2 \cdot 10^{-7}$	10.70	10.70	17.80
15 Mechanical time constant	ms	16	14	21

Availability: see enclosed document at the end of the catalogue



Specifications subject to change without prior notice

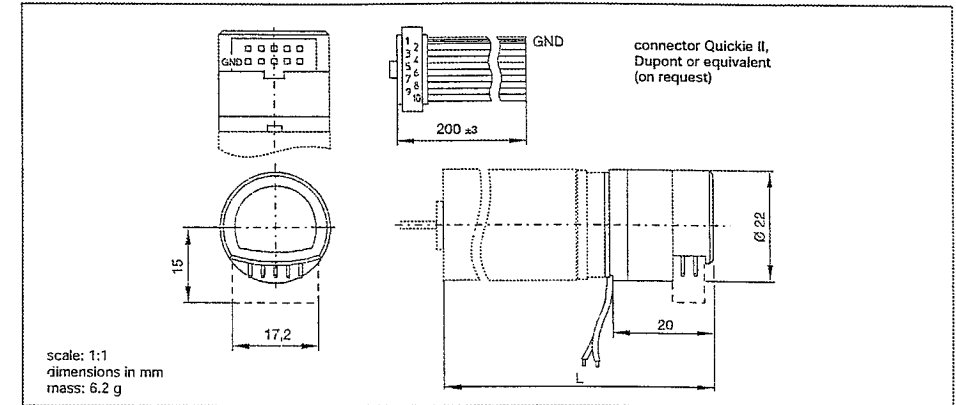
DT2/29

ELEST

E9

3 channel optical encoder

Encoder



Characteristics at 22°C

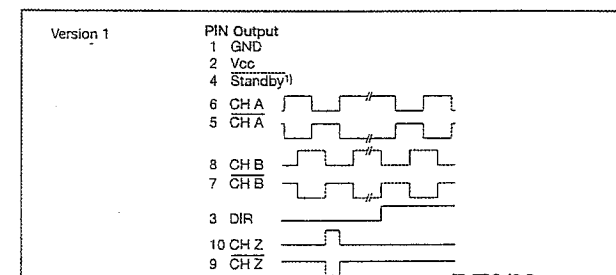
1 Number of lines available		100, 144, 200, 256, 360 ^a , 500 ^a
2 Supply current	typical	mA 10
	max.	mA 20
	stand-by	μA 50
3 Output signal		CMOS compatible
4 Electrical phase shift between A and B	degree	90 ± 20
5 Duty cycle	%	50 ± 10
6 Max. count frequency	kHz	200
7 Operating temperature range	at 90% humidity °C	-40 to +85
8 Code wheel moment of inertia	$10^{-7} \times \text{kgm}^2$	0.12
9 Supply voltage	Vcc V	$5 \pm 10\%$

Pin out	1	2	3	4	5	6	7	8	9	10
10 Version 1	GND	Vcc	dir.	stand-by	A	A	B	B	Z	Z

Available on motor types	22V48	23LT12	23DT12	26N48	28DT12	35NT	P530/2.84	P632.04	P850/2.11
11 L = length (mm)	56.2	57.6	71	62.1	85.1	84	57.6	62.3	75.7
12 see page	17	18	19	20	22	23	31	32	33

^a ask for a 2R motor type for use with the E9 in 360 and 500 line versions.

Typical encoder output signal



Features

- 2 channel quadrature output and index pulse
- small size
- integrated direction of rotation detection
- stand-by function with latched state of channels (to deactivate the stand-by mode, connect the pin 4 to the +5 V)
- complementary outputs
- up/down pulse signals (on request)
- CMOS compatible.
- ¹⁾ The input Standby has to be connected to 0 V_{cc} or +5 V_{cc}
- single 5 V_{cc} supply

DT3/29

© Portescap

ELEST

LM231A/LM231/LM331A/LM331

Precision Voltage-to-Frequency Converters

General Description

The LM231/LM331 family of voltage-to-frequency converters are ideally suited for use in simple low-cost circuits for analog-to-digital conversion, precision frequency-to-voltage conversion, long-term integration, linear frequency modulation or demodulation, and many other functions. The output when used as a voltage-to-frequency converter is a pulse train at a frequency precisely proportional to the applied input voltage. Thus, it provides all the inherent advantages of the voltage-to-frequency conversion techniques, and is easy to apply in all standard voltage-to-frequency converter applications. Further, the LM231A/LM331A attain a new high level of accuracy versus temperature which could only be attained with expensive voltage-to-frequency modules. Additionally the LM231/331 are ideally suited for use in digital systems at low power supply voltages and can provide low-cost analog-to-digital conversion in microprocessor-controlled systems. And, the frequency from a battery powered voltage-to-frequency converter can be easily channeled through a simple photoisolator to provide isolation against high common mode levels.

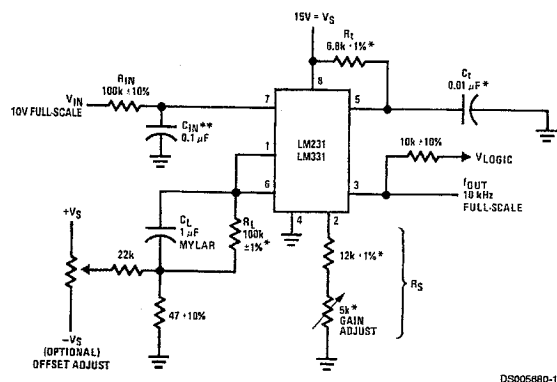
The LM231/LM331 utilize a new temperature-compensated band-gap reference circuit, to provide excellent accuracy

over the full operating temperature range, at power supplies as low as 4.0V. The precision timer circuit has low bias currents without degrading the quick response necessary for 100 kHz voltage-to-frequency conversion. And the output are capable of driving 3 TTL loads, or a high voltage output up to 40V, yet is short-circuit-proof against V_{CC} .

Features

- Guaranteed linearity 0.01% max
- Improved performance in existing voltage-to-frequency conversion applications
- Split or single supply operation
- Operates on single 5V supply
- Pulse output compatible with all logic forms
- Excellent temperature stability, ± 50 ppm/ $^{\circ}\text{C}$ max
- Low power dissipation, 15 mW typical at 5V
- Wide dynamic range, 100 dB min at 10 kHz full scale frequency
- Wide range of full scale frequency, 1 Hz to 100 kHz
- Low cost

Typical Applications



DS005680-1

$$f_{OUT} = \frac{V_{IN}}{2.09 \text{ V}} \cdot \frac{R_S}{R_L} \cdot \frac{1}{R_1 C_1}$$

*Use stable components with low temperature coefficients. See Typical Applications section.

**0.1μF or 1μF, See "Principles of Operation."

FIGURE 1. Simple Stand-Alone Voltage-to-Frequency Converter with $\pm 0.03\%$ Typical Linearity ($f = 10$ Hz to 11 kHz)

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

	LM231A/LM231	LM331A/LM331
Supply Voltage	40V	40V
Output Short Circuit to Ground	Continuous	Continuous
Output Short Circuit to V_{CC}	Continuous	Continuous
Input Voltage	$-0.2\text{V to } +V_S$	$-0.2\text{V to } +V_S$
	T_{MIN} T_{MAX}	T_{MIN} T_{MAX}
Operating Ambient Temperature Range	$-25^{\circ}\text{C to } +85^{\circ}\text{C}$	$0^{\circ}\text{C to } +70^{\circ}\text{C}$
Power Dissipation (P_D at 25°C) and Thermal Resistance (θ_{JA})		
(N Package) P_D	1.25W	1.25W
θ_{JA}	100 $^{\circ}\text{C/W}$	100 $^{\circ}\text{C/W}$
Lead Temperature (Soldering, 10 sec.)		
Dual-In-Line Package (Plastic)	260 $^{\circ}\text{C}$	260 $^{\circ}\text{C}$
ESD Susceptibility (Note 4)		
N Package	500V	500V

Electrical Characteristics

$T_A = 25^{\circ}\text{C}$ unless otherwise specified (Note 2)

Parameter	Conditions	Min	Typ	Max	Units
VFC Non-Linearity (Note 3)	$4.5\text{V} \leq V_S \leq 20\text{V}$		± 0.003	± 0.01	% Full-Scale
	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.006	± 0.02	% Full-Scale
VFC Non-Linearity In Circuit of Figure 1	$V_S = 15\text{V}$, $f = 10$ Hz to 11 kHz		± 0.024	± 0.14	% Full-Scale
Conversion Accuracy Scale Factor (Gain)	$V_{IN} = -10\text{V}$, $R_S = 14 \text{ k}\Omega$				
LM231, LM231A		0.95	1.00	1.05	kHz/V
LM331, LM331A		0.90	1.00	1.10	kHz/V
Temperature Stability of Gain	$T_{MIN} \leq T_A \leq T_{MAX}$, $4.5\text{V} \leq V_S \leq 20\text{V}$				
LM231/LM331			± 30	± 150	ppm/ $^{\circ}\text{C}$
LM231A/LM331A			± 20	± 50	ppm/ $^{\circ}\text{C}$
Change of Gain with V_S	$4.5\text{V} \leq V_S \leq 10\text{V}$		0.01	0.1	%/V
	$10\text{V} \leq V_S \leq 40\text{V}$		0.006	0.06	%/V
Rated Full-Scale Frequency	$V_{IN} = -10\text{V}$	10.0			kHz
Gain Stability vs Time (1000 Hrs)	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.02		% Full-Scale
Overrange (Beyond Full-Scale) Frequency	$V_{IN} = -11\text{V}$	10			%
INPUT COMPARATOR					
Offset Voltage			± 3	± 10	mV
LM231/LM331	$T_{MIN} \leq T_A \leq T_{MAX}$		± 4	± 14	mV
LM231A/LM331A	$T_{MIN} \leq T_A \leq T_{MAX}$		± 3	± 10	mV
Bias Current			-80	-300	nA
Offset Current			± 8	± 100	nA
Common-Mode Range	$T_{MIN} \leq T_A \leq T_{MAX}$	-0.2		$V_{CC} - 2.0$	V
TIMER					
Timer Threshold Voltage, Pin 5		0.63	0.667	0.70	$\times V_S$
Input Bias Current, Pin 5	$V_S = 15\text{V}$				
All Devices	$0\text{V} \leq V_{PIN 5} \leq 9.9\text{V}$		± 10	± 100	nA
LM231/LM331	$V_{PIN 5} = 10\text{V}$		200	1000	nA
LM231A/LM331A	$V_{PIN 5} = 10\text{V}$		200	500	nA

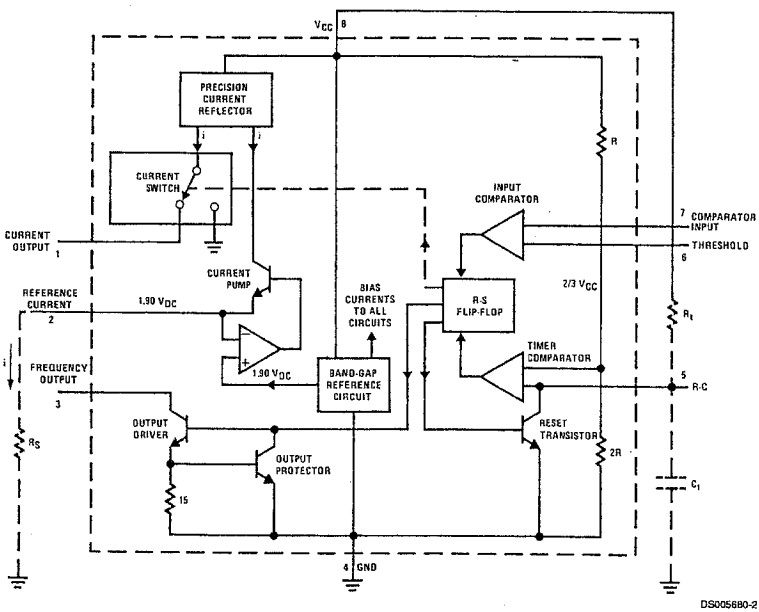
Electrical Characteristics (Continued)

T_A=25°C unless otherwise specified (Note 2)

Parameter	Conditions	Min	Typ	Max	Units
TIMER					
V _{SAT} PIN 5 (Reset)	I = 5 mA		0.22	0.5	V
CURRENT SOURCE (Pin 1)					
Output Current	R _S =14 kΩ, V _{PIN 1} =0				μA
LM231, LM231A		126	135	144	μA
LM331, LM331A		116	136	156	μA
Change with Voltage	0V ≤ V _{PIN 1} ≤ 10V		0.2	1.0	μA
Current Source OFF Leakage					nA
LM231, LM231A, LM331, LM331A			0.02	10.0	nA
All Devices	T _A =T _{MAX}		2.0	50.0	nA
Operating Range of Current (Typical)			(10 to 500)		μA
REFERENCE VOLTAGE (Pin 2)					
LM231, LM231A		1.76	1.89	2.02	V _{DC}
LM331, LM331A		1.70	1.89	2.08	V _{DC}
Stability vs Temperature			±60		ppm/°C
Stability vs Time, 1000 Hours			±0.1		%
LOGIC OUTPUT (Pin 3)					
V _{SAT}	I=5 mA		0.15	0.50	V
	I=3.2 mA (2 TTL Loads), T _{MIN} ≤T _A ≤T _{MAX}		0.10	0.40	V
OFF Leakage			±0.05	1.0	μA
SUPPLY CURRENT					
LM231, LM231A	V _S =5V	2.0	3.0	4.0	mA
LM331, LM331A	V _S =40V	2.5	4.0	6.0	mA
	V _S =5V	1.5	3.0	6.0	mA
	V _S =40V	2.0	4.0	8.0	mA

- Note 1:** Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.
- Note 2:** All specifications apply in the circuit of Figure 4, with 4.0V≤V_S≤40V, unless otherwise noted.
- Note 3:** Nonlinearity is defined as the deviation of f_{OUT} from V_{IN} × (10 kHz/−10 V_{DC}) when the circuit has been trimmed for zero error at 10 Hz and at 10 kHz, over the frequency range 1 Hz to 11 kHz. For the timing capacitor, C_T, use NPO ceramic, Teflon®, or polystyrene.
- Note 4:** Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Functional Block Diagram



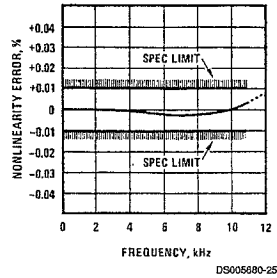
Pin numbers apply to 8-pin packages only.

FIGURE 2.

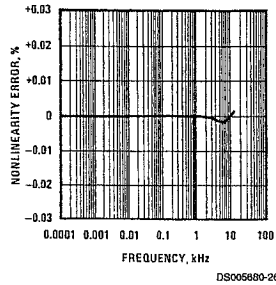
Typical Performance Characteristics

(All electrical characteristics apply for the circuit of Figure 4, unless otherwise noted.)

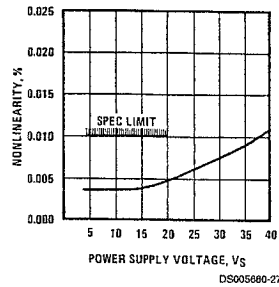
Nonlinearity Error as Precision V-to-F Converter (Figure 4)



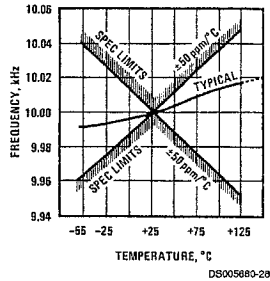
Nonlinearity Error



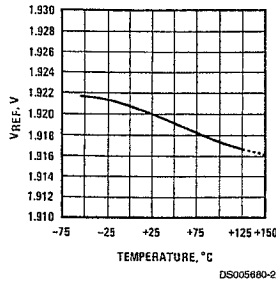
Nonlinearity Error vs Power Supply Voltage



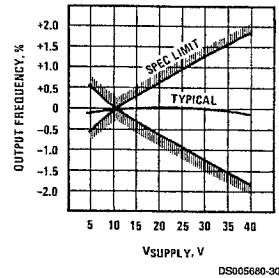
Frequency vs Temperature



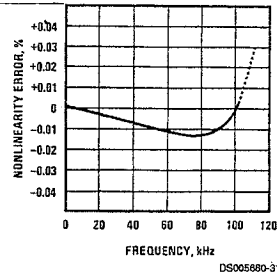
V_{REF} vs Temperature



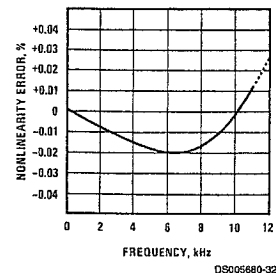
Output Frequency vs V_{SUPPLY}



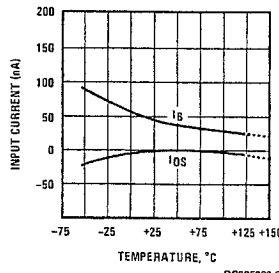
100 kHz Nonlinearity Error (Figure 5)



Nonlinearity Error (Figure 1)

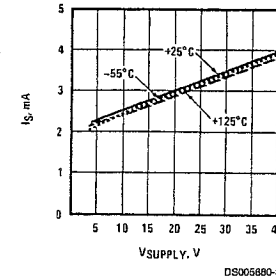


Input Current (Pins 6,7) vs Temperature

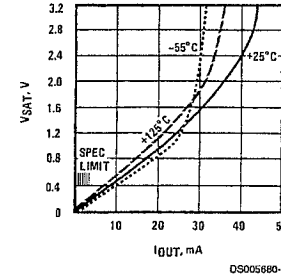


Typical Performance Characteristics (Continued)

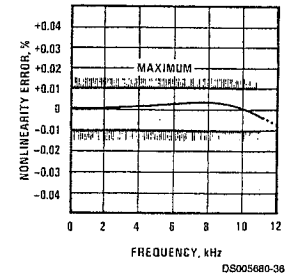
Power Drain vs V_{SUPPLY}



Output Saturation Voltage vs I_{OUT} (Pin 3)



Nonlinearity Error, Precision F-to-V Converter (Figure 7)



Typical Applications

PRINCIPLES OF OPERATION OF A SIMPLIFIED VOLTAGE-TO-FREQUENCY CONVERTER

The LM231/331 are monolithic circuits designed for accuracy and versatile operation when applied as voltage-to-frequency (V-to-F) converters or as frequency-to-voltage (F-to-V) converters. A simplified block diagram of the LM231/331 is shown in Figure 3 and consists of a switched current source, input comparator, and 1-shot timer.

The operation of these blocks is best understood by going through the operating cycle of the basic V-to-F converter, Figure 3, which consists of the simplified block diagram of the LM231/331 and the various resistors and capacitors connected to it.

The voltage comparator compares a positive input voltage, V_I, at pin 7 to the voltage, V_X, at pin 6. If V_I is greater, the comparator will trigger the 1-shot timer. The output of the timer will turn ON both the frequency output transistor and the switched current source for a period $t = 1.1 R_L C_L$. During this period, the current i will flow out of the switched current source and provide a fixed amount of charge, $Q = i \times t$, into the capacitor, C_L. This will normally charge V_X up to a higher level than V_I. At the end of the timing period, the current i will turn OFF, and the timer will reset itself.

Now there is no current flowing from pin 1, and the capacitor C_L will be gradually discharged by R_L until V_X falls to the level of V_I. Then the comparator will trigger the timer and start another cycle.

The current flowing into C_L is exactly $I_{AVE} = i \times (1.1 R_L C_L) \times f$, and the current flowing out of C_L is exactly $V_X / R_L \approx V_{IN} / R_L$. If V_{IN} is doubled, the frequency will double to maintain this balance. Even a simple V-to-F converter can provide a frequency precisely proportional to its input voltage over a wide range of frequencies.

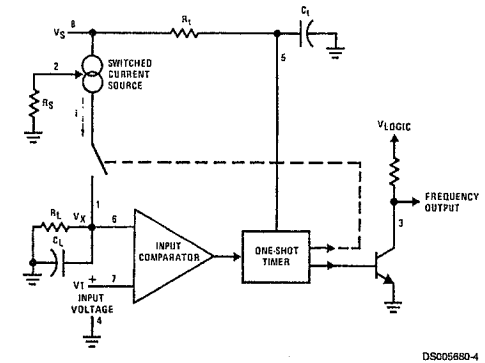


FIGURE 3. Simplified Block Diagram of Stand-Alone Voltage-to-Frequency Converter and External Components

DETAIL OF OPERATION, FUNCTIONAL BLOCK DIAGRAM (Figure 2)

The block diagram shows a band gap reference which provides a stable 1.9 V_{DC} output. This 1.9 V_{DC} is well regulated over a V_S range of 3.9V to 40V. It also has a flat, low temperature coefficient, and typically changes less than 1/2% over a 100°C temperature change.

The current pump circuit forces the voltage at pin 2 to be at 1.9V, and causes a current $i = 1.90V / R_S$ to flow. For R_S = 14k, $i = 135 \mu A$. The precision current reflector provides a current equal to i to the current switch. The current switch switches the current to pin 1 or to ground depending on the state of the R_S flip-flop.

The timing function consists of an R_S flip-flop, and a timer comparator connected to the external R_LC_L network. When the input comparator detects a voltage at pin 7 higher than pin 6, it sets the R_S flip-flop which turns ON the current switch and the output driver transistor. When the voltage at pin 5 rises to 2/3 V_{CC}, the timer comparator causes the R_S flip-flop to reset. The reset transistor is then turned ON and the current switch is turned OFF.

However, if the input comparator still detects pin 7 higher than pin 6 when pin 5 crosses 2/3 V_{CC}, the flip-flop will not be reset, and the current at pin 1 will continue to flow, in its attempt to make the voltage at pin 6 higher than pin 7. This

Typical Applications (Continued)

condition will usually apply under start-up conditions or in the case of an overload voltage at signal input. It should be noted that during this sort of overload, the output frequency will be 0; as soon as the signal is restored to the working range, the output frequency will be resumed.

The output driver transistor acts to saturate pin 3 with an ON resistance of about 50Ω. In case of overvoltage, the output current is actively limited to less than 50 mA.

The voltage at pin 2 is regulated at 1.90 V_{DC} for all values of *I* between 10 μA to 500 μA. It can be used as a voltage reference for other components, but care must be taken to ensure that current is not taken from it which could reduce the accuracy of the converter.

PRINCIPLES OF OPERATION OF BASIC VOLTAGE-TO-FREQUENCY CONVERTER (Figure 1)

The simple stand-alone V-to-F converter shown in Figure 1 includes all the basic circuitry of Figure 3 plus a few components for improved performance.

A resistor, *R*_{IN}=100 kΩ±10%, has been added in the path to pin 7, so that the bias current at pin 7 (~80 nA typical) will cancel the effect of the bias current at pin 6 and help provide minimum frequency offset.

The resistance *R*_S at pin 2 is made up of a 12 kΩ fixed resistor plus a 5 kΩ (cermet, preferably) gain adjust rheostat. The function of this adjustment is to trim out the gain tolerance of the LM231/331, and the tolerance of *R*_V, *R*_L and *C*_T.

For best results, all the components should be stable low-temperature-coefficient components, such as metal-film resistors. The capacitor should have low dielectric absorption; depending on the temperature characteristics desired, NPO ceramic, polystyrene, Teflon or polypropylene are best suited.

A capacitor *C*_{IN} is added from pin 7 to ground to act as a filter for *V*_{IN}. A value of 0.01 μF to 0.1 μF will be adequate in most cases; however, in cases where better filtering is required, a

1 μF capacitor can be used. When the RC time constants are matched at pin 6 and pin 7, a voltage step at *V*_{IN} will cause a step change in *f*_{OUT}. If *C*_{IN} is much less than *C*_L, a step at *V*_{IN} may cause *f*_{OUT} to stop momentarily.

A 47Ω resistor, in series with the 1 μF *C*_L, is added to give hysteresis effect which helps the input comparator provide the excellent linearity (0.03% typical).

DETAIL OF OPERATION OF PRECISION V-TO-F CONVERTER (Figure 4)

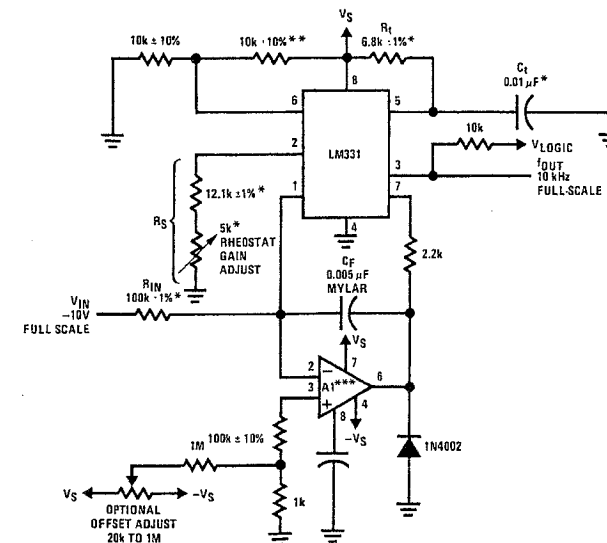
In this circuit, integration is performed by using a conventional operational amplifier and feedback capacitor, *C*_F. When the integrator's output crosses the nominal threshold level at pin 6 of the LM231/331, the timing cycle is initiated.

The average current fed into the op amp's summing point (pin 2) is *i* × (1.1 *R*_V*C*_T) × *f* which is perfectly balanced with $-V_{IN}/R_{IN}$. In this circuit, the voltage offset of the LM231/331 input comparator does not affect the offset or accuracy of the V-to-F converter as it does in the stand-alone V-to-F converter; nor does the LM231/331 bias current or offset current. Instead, the offset voltage and offset current of the operational amplifier are the only limits on how small the signal can be accurately converted. Since op amps with voltage offset well below 1 mV and offset currents well below 2 nA are available at low cost, this circuit is recommended for best accuracy for small signals. This circuit also responds immediately to any change of input signal (which a stand-alone circuit does not) so that the output frequency will be an accurate representation of *V*_{IN}, as quickly as 2 output pulses' spacing can be measured.

In the precision mode, excellent linearity is obtained because the current source (pin 1) is always at ground potential and that voltage does not vary with *V*_{IN} or *f*_{OUT}. (In the stand-alone V-to-F converter, a major cause of non-linearity is the output impedance at pin 1 which causes *i* to change as a function of *V*_{IN}).

The circuit of Figure 5 operates in the same way as Figure 4, but with the necessary changes for high speed operation.

Typical Applications (Continued)



DS905680-5

$$f_{OUT} = \frac{-V_{IN}}{2.09 V} \cdot \frac{R_S}{R_{IN}} \cdot \frac{1}{R_L C_T}$$

*Use stable components with low temperature coefficients. See Typical Applications section.

**This resistor can be 5 kΩ or 10 kΩ for *V*_S=8V to 22V, but must be 10 kΩ for *V*_S=4.5V to 8V.

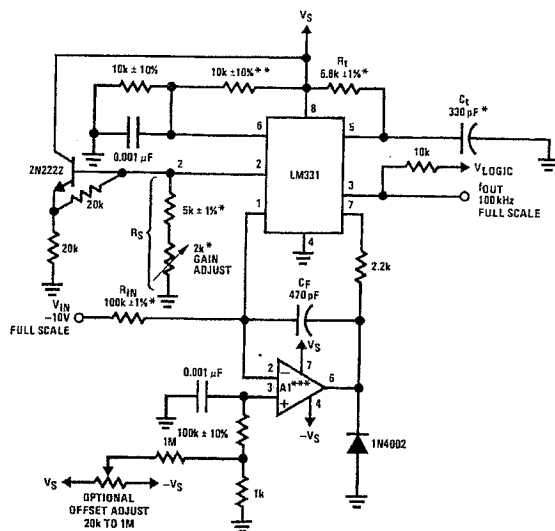
***Use low offset voltage and low offset current op amps for A1: recommended type LF411A

FIGURE 4. Standard Test Circuit and Applications Circuit, Precision Voltage-to-Frequency Converter

DETAILS OF OPERATION, FREQUENCY-TO-VOLTAGE CONVERTERS (Figure 6 and Figure 7)

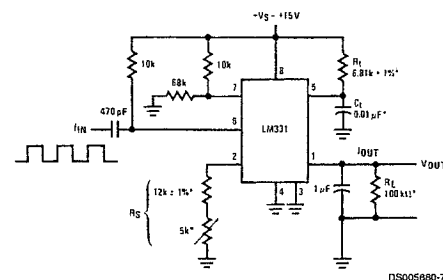
In the simple circuit of *Figure 6*, this current is filtered in the network $R_L = 100\text{ k}\Omega$ and $1\text{ }\mu\text{F}$. The ripple will be less than 10 mV peak, but the response will be slow, with a 0.1 second time constant, and settling of 0.7 second to 0.1% accuracy.

In the precision circuit, an operational amplifier provides a buffered output and also acts as a two-pole filter. The ripple will be less than 5 mV peak for all frequencies above 1 kHz, and the response time will be much quicker than in *Figure 6*. However, for input frequencies below 200 Hz, this circuit will have worse ripple than *Figure 6*. The engineering of the filter time-constants to get adequate response and small enough ripple simply requires a study of the compromises to be made. Inherently, V-to-F converter response can be fast, but F-to-V response can not.



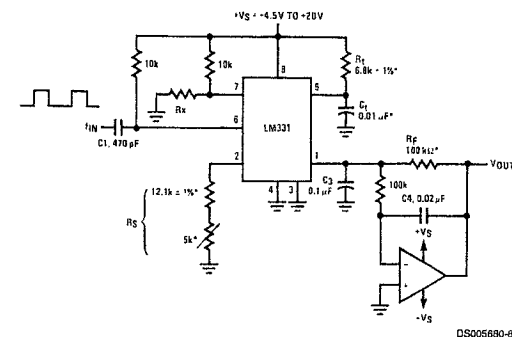
***Use low offset voltage and low offset current op amps for A1: recommended types LF411A or LF356.

FIGURE 5. Precision Voltage-to-Frequency Converter, 100 kHz Full-Scale, $\pm 0.03\%$ Non-Linearity



$$V_{OUT} = f_{IN} \times 2.09V \times \frac{R_L}{R_S} \times (R_1 C_1)$$

FIGURE 6. Simple Frequency-to-Voltage Converter, 10 kHz Full-Scale, $\pm 0.06\%$ Non-Linearity



$$V_{OUT} = -f_{IN} \times 2.09V \times \frac{R_F}{R_S} \times (R_1 C_1)$$

$$\text{SELECT } R_x = \frac{(V_s - 2V)}{0.2 \text{ mA}}$$

**FIGURE 7. Precision Frequency-to-Voltage Converter,
10 kHz Full-Scale with 2-Pole Filter, $\pm 0.01\%$
Non-Linearity Maximum**

DS005680-9

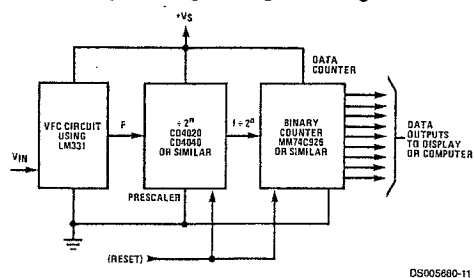
*L14F-1, L14G-1 or L14H-1, photo transistor (General Electric Co.) or similar

The circuit diagram shows an LM331 timer configured as a precision current source. The timer's pin 1 (V+) is connected to a precision centred diode (LM231/LM334) through a resistor R. The diode's other terminal is connected to the timer's pin 5 (V-) through a resistor R1. The timer's pin 2 is connected to pin 7 through a 12kΩ resistor. The timer's pin 3 is connected to the output IOUT through a 5.81kΩ resistor. The timer's pin 4 is connected to ground. The timer's pin 8 is connected to a +4.5V to +20V supply. A 22kΩ resistor is connected between the supply and the output IOUT. A 0.1μF capacitor is connected between the supply and the timer's pin 8. A 0.1μF capacitor is connected between the timer's pin 1 and the output IOUT. A 5kΩ resistor is connected between the timer's pin 2 and ground. A 1.2kΩ resistor is connected between the timer's pin 5 and ground. The output current IOUT is proportional to the input voltage VIN and inversely proportional to the reference resistor R1. The circuit has a temperature coefficient of 10Hz/K.

DS005880-10

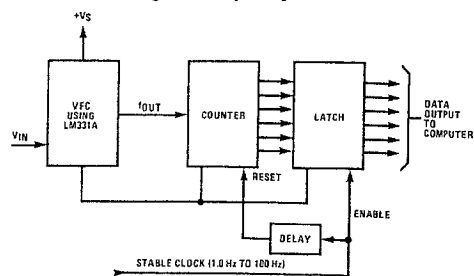
Typical Applications (Continued)

Long-Term Digital Integrator Using VFC



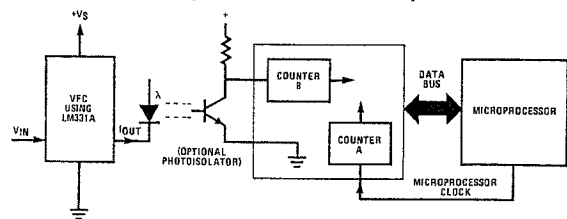
DS005680-11

Basic Analog-to-Digital Converter Using Voltage-to-Frequency Converter



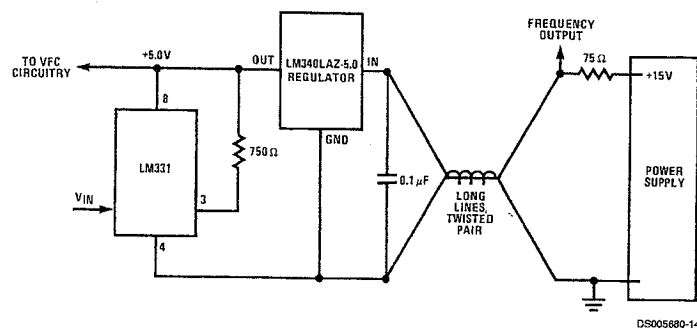
DS005680-12

Analog-to-Digital Converter with Microprocessor



DS005680-13

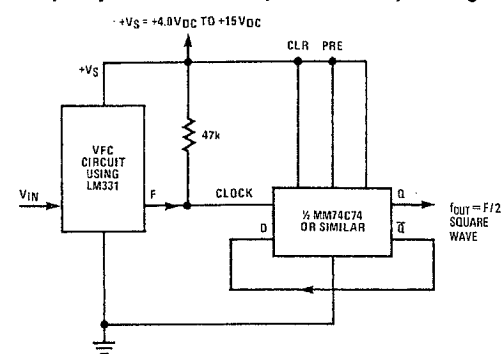
Remote Voltage-to-Frequency Converter with 2-Wire Transmitter and Receiver



DS005680-14

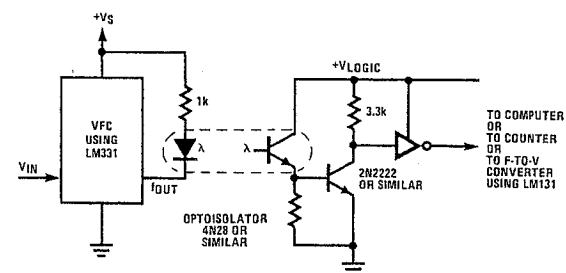
Typical Applications (Continued)

Voltage-to-Frequency Converter with Square-Wave Output Using ÷ 2 Flip-Flop



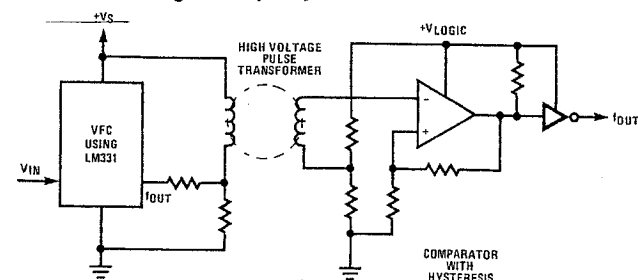
DS005680-15

Voltage-to-Frequency Converter with Isolators



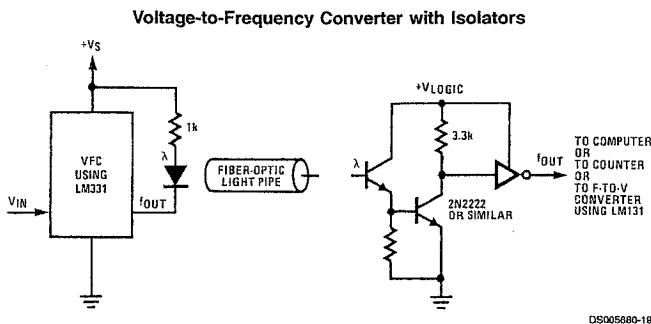
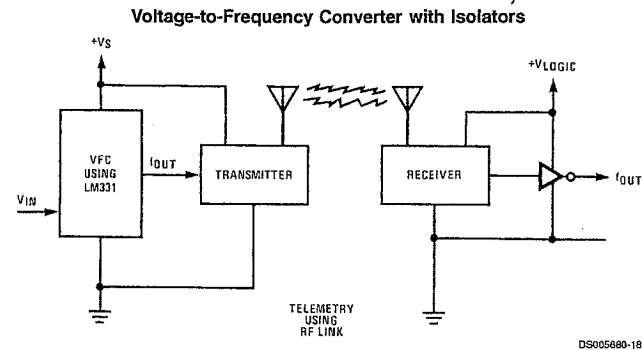
DS005680-16

Voltage-to-Frequency Converter with Isolators

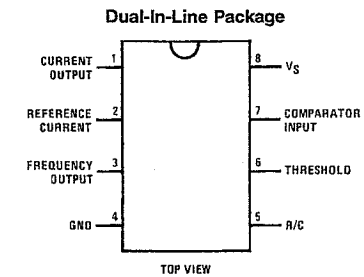


DS005680-17

Typical Applications (Continued)



Connection Diagram

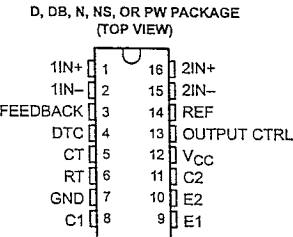


Order Number LM231AN, LM231N, LM331AN,
or LM331N
See NS Package Number N08E

TL494
PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D – JANUARY 1983 – REVISED MAY 2002

- Complete PWM Power-Control Circuitry
- Uncommitted Outputs for 200-mA Sink or Source Current
- Output Control Selects Single-Ended or Push-Pull Operation
- Internal Circuitry Prohibits Double Pulse at Either Output
- Variable Dead Time Provides Control Over Total Range
- Internal Regulator Provides a Stable 5-V Reference Supply With 5% Tolerance
- Circuit Architecture Allows Easy Synchronization



description

The TL494 incorporates all the functions required in the construction of a pulse-width-modulation (PWM) control circuit on a single chip. Designed primarily for power-supply control, this device offers the flexibility to tailor the power-supply control circuitry to a specific application.

The TL494 contains two error amplifiers, an on-chip adjustable oscillator, a dead-time control (DTC) comparator, a pulse-steering control flip-flop, a 5-V, 5%-precision regulator, and output-control circuits.

The error amplifiers exhibit a common-mode voltage range from -0.3 V to $V_{CC} - 2\text{ V}$. The dead-time control comparator has a fixed offset that provides approximately 5% dead time. The on-chip oscillator can be bypassed by terminating RT to the reference output and providing a sawtooth input to CT, or it can drive the common circuits in synchronous multiple-rail power supplies.

The uncommitted output transistors provide either common-emitter or emitter-follower output capability. The TL494 provides for push-pull or single-ended output operation, which can be selected through the output-control function. The architecture of this device prohibits the possibility of either output being pulsed twice during push-pull operation.

The TL494C is characterized for operation from 0°C to 70°C . The TL494I is characterized for operation from -40°C to 85°C .

AVAILABLE OPTIONS

TA	PACKAGED DEVICES				
	SMALL OUTLINE (D)	PLASTIC DIP (N)	SMALL OUTLINE (NS)	SHRINK SMALL OUTLINE (DB)	THIN SHRINK SMALL OUTLINE (PW)
0°C to 70°C	TL494CD	TL494CN	TL494CNS	TL494CDB	TL494CPW
-40°C to 85°C	TL494ID	TL494IN	—	—	—

The D, DB, NS, and PW packages are available taped and reeled. Add the suffix R to device type (e.g., TL494CDR).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2002, Texas Instruments Incorporated

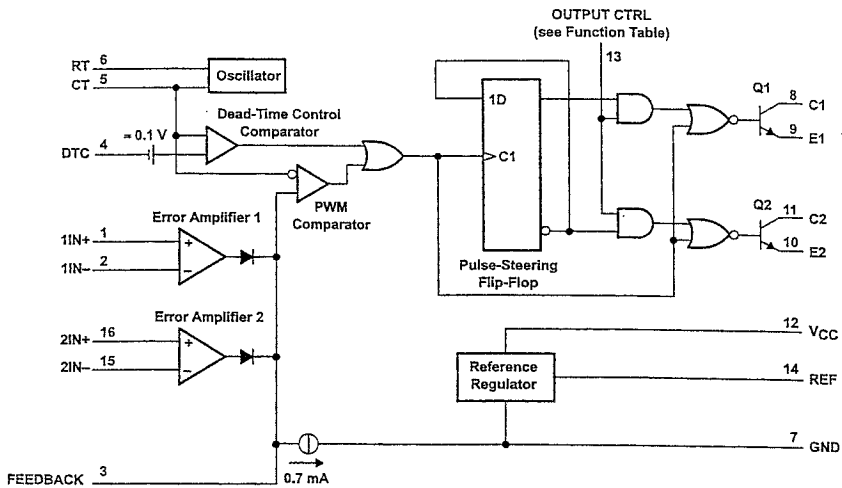
TL494
PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D – JANUARY 1983 – REVISED MAY 2002

FUNCTION TABLE

INPUT TO OUTPUT CTRL	OUTPUT FUNCTION
$V_I = \text{GND}$	Single-ended or parallel output
$V_I = V_{\text{ref}}$	Normal push-pull operation

functional block diagram



TL494
PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D – JANUARY 1983 – REVISED MAY 2002

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)[†]

Supply voltage, V_{CC} (see Note 1)	41 V
Amplifier input voltage, V_I	$V_{CC} + 0.3$ V
Collector output voltage, V_O	41 V
Collector output current, I_O	250 mA
Package thermal impedance, θ_{JA} (see Note 2 and 3):	
D package	73°C/W
DB package	82°C/W
N package	67°C/W
NS package	64°C/W
PW package	108°C/W
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C
Storage temperature range, T_{stg}	-65°C to 150°C

[†] Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES:
1. All voltage values are with respect to the network ground terminal.
 2. Maximum power dissipation is a function of $T_J(\text{max})$, θ_{JA} , and T_A . The maximum allowable power dissipation at any allowable ambient temperature is $P_D = (T_J(\text{max}) - T_A)/\theta_{JA}$. Operating at the absolute maximum T_J of 150°C can affect reliability.
 3. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions

		MIN	MAX	UNIT
V_{CC}	Supply voltage	7	40	V
V_I	Amplifier input voltage	-0.3	$V_{CC} - 2$	V
V_O	Collector output voltage		40	V
	Collector output current (each transistor)		200	mA
	Current into feedback terminal		0.3	mA
f_{osc}	Oscillator frequency	1	300	kHz
C_T	Timing capacitor	0.47	10000	nF
R_T	Timing resistor	1.8	500	k Ω
T_A	Operating free-air temperature			°C
		TL494C	0	70
		TL494I	-40	85

TL494 PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D – JANUARY 1983 – REVISED MAY 2002

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$ (unless otherwise noted)

reference section

PARAMETER	TEST CONDITIONS†	TL494C, TL494I			UNIT
		MIN	TYP‡	MAX	
Output voltage (REF)	$I_O = 1\text{ mA}$	4.75	5	5.25	V
Input regulation	$V_{CC} = 7\text{ V to }40\text{ V}$	2	25		mV
Output regulation	$I_O = 1\text{ mA to }10\text{ mA}$	1	15		mV
Output voltage change with temperature	$\Delta T_A = \text{MIN to MAX}$	2	10		mV/V
Short-circuit output current§	REF = 0 V	25			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values, except for parameter changes with temperature, are at $T_A = 25^\circ\text{C}$.

§ Duration of the short circuit should not exceed one second.

oscillator section, $C_T = 0.01\text{ }\mu\text{F}$, $R_T = 12\text{ k}\Omega$ (see Figure 1)

PARAMETER	TEST CONDITIONS†	TL494, TL494I			UNIT
		MIN	TYP‡	MAX	
Frequency			10		kHz
Standard deviation of frequency¶	All values of V_{CC} , C_T , R_T , and T_A constant		100		Hz/kHz
Frequency change with voltage	$V_{CC} = 7\text{ V to }40\text{ V}$, $T_A = 25^\circ\text{C}$		1		Hz/kHz
Frequency change with temperature#	$\Delta T_A = \text{MIN to MAX}$		10		Hz/kHz

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values, except for parameter changes with temperature, are at $T_A = 25^\circ\text{C}$.

¶ Standard deviation is a measure of the statistical distribution about the mean as derived from the formula:

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{x})^2}{N - 1}}$$

Temperature coefficient of timing capacitor and timing resistor are not taken into account.

error-amplifier section (see Figure 2)

PARAMETER	TEST CONDITIONS	TL494, TL494I			UNIT
		MIN	TYP‡	MAX	
Input offset voltage	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		2	10	mV
Input offset current	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		25	250	nA
Input bias current	$V_O (\text{FEEDBACK}) = 2.5\text{ V}$		0.2	1	μA
Common-mode input voltage range	$V_{CC} = 7\text{ V to }40\text{ V}$	-0.3 to $V_{CC}-2$			V
Open-loop voltage amplification	$\Delta V_O = 3\text{ V}$, $R_L = 2\text{ k}\Omega$, $V_O = 0.5\text{ V to }3.5\text{ V}$	70	95		dB
Unity-gain bandwidth	$V_O = 0.5\text{ V to }3.5\text{ V}$, $R_L = 2\text{ k}\Omega$		800		kHz
Common-mode rejection ratio	$\Delta V_O = 40\text{ V}$, $T_A = 25^\circ\text{C}$	65	80		dB
Output sink current (FEEDBACK)	$V_{ID} = -15\text{ mV to }-5\text{ V}$, $V (\text{FEEDBACK}) = 0.7\text{ V}$	0.3	0.7		mA
Output source current (FEEDBACK)	$V_{ID} = 15\text{ mV to }5\text{ V}$, $V (\text{FEEDBACK}) = 3.5\text{ V}$	-2			mA

‡ All typical values, except for parameter changes with temperature, are at $T_A = 25^\circ\text{C}$.

TL494 PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D – JANUARY 1983 – REVISED MAY 2002

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 15\text{ V}$, $f = 10\text{ kHz}$ (unless otherwise noted)

output section

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
Collector off-state current		$V_{CE} = 40\text{ V}$, $V_{CC} = 40\text{ V}$			2	100	μA
Emitter off-state current		$V_{CC} = V_C = 40\text{ V}$, $V_E = 0$			-100		μA
Collector-emitter saturation voltage	Common emitter	$V_E = 0$, $I_C = 200\text{ mA}$		1.1	1.3		V
	Emitter follower	$V_O (C1 \text{ or } C2) = 15\text{ V}$, $I_E = -200\text{ mA}$		1.5	2.5		
Output control input current		$V_I = V_{ref}$			3.5		mA

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

dead-time control section (see Figure 1)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Input bias current (DEAD-TIME CTRL)	$V_I = 0\text{ to }5.25\text{ V}$	-2	-10		μA
Maximum duty cycle, each output	$V_I (\text{DEAD-TIME CTRL}) = 0$, $C_T = 0.01\text{ }\mu\text{F}$, $R_T = 12\text{ k}\Omega$		45%		
Input threshold voltage (DEAD-TIME CTRL)	Zero duty cycle		3	3.3	V
	Maximum duty cycle		0		

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

PWM comparator section (see Figure 1)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Input threshold voltage (FEEDBACK)	Zero duty cycle		4	4.5	V
Input sink current (FEEDBACK)	$V (\text{FEEDBACK}) = 0.7\text{ V}$	0.3	0.7		mA

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

total device

PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
Standby supply current	$R_T = V_{ref}$, All other inputs and outputs open	$V_{CC} = 15\text{ V}$		6	10	mA
		$V_{CC} = 40\text{ V}$		9	15	
Average supply current	$V_I (\text{DEAD-TIME CTRL}) = 2\text{ V}$, See Figure 1			7.5		mA

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

switching characteristics, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
Rise time	Common-emitter configuration, See Figure 3		100	200		ns
Fall time			25	100		ns
Rise time	Emitter-follower configuration, See Figure 4		100	200		ns
Fall time			40	100		ns

† All typical values except for temperature coefficient are at $T_A = 25^\circ\text{C}$.

PARAMETER MEASUREMENT INFORMATION

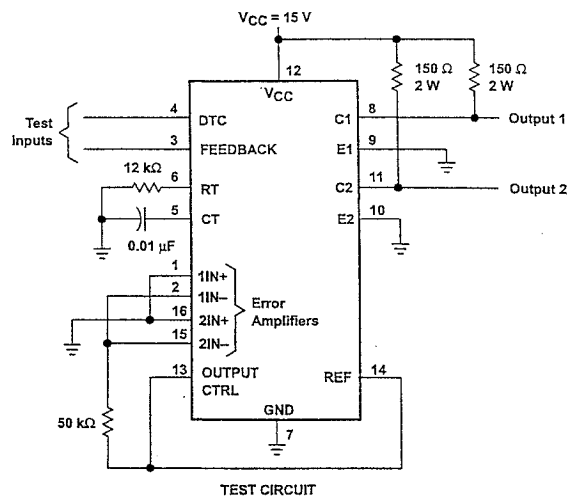


Figure 1. Operational Test Circuit and Waveforms

PARAMETER MEASUREMENT INFORMATION

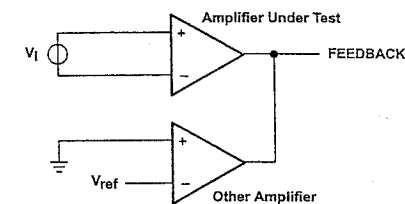
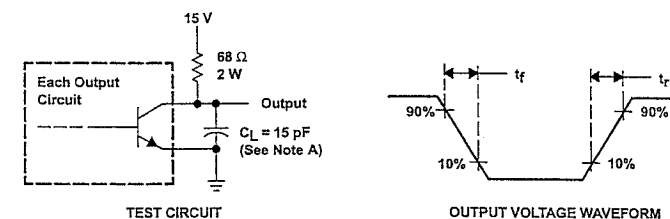
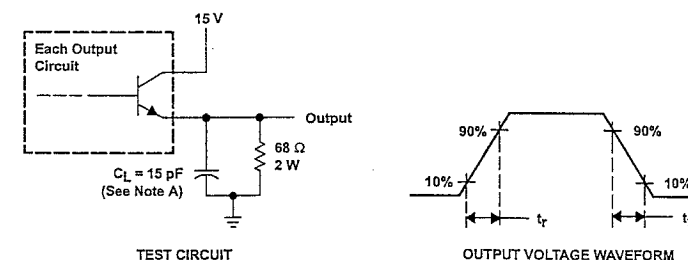


Figure 2. Amplifier Characteristics



NOTE A: C_L includes probe and jig capacitance.

Figure 3. Common-Emitter Configuration



NOTE A: C_L includes probe and jig capacitance.

Figure 4. Emitter-Follower Configuration

TL494 PULSE-WIDTH-MODULATION CONTROL CIRCUITS

SLVS074D - JANUARY 1983 - REVISED MAY 2002

TYPICAL CHARACTERISTICS

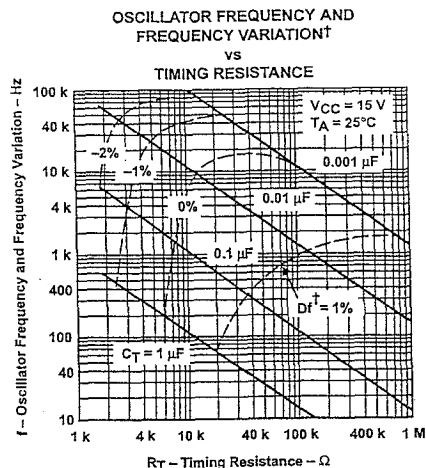


Figure 5

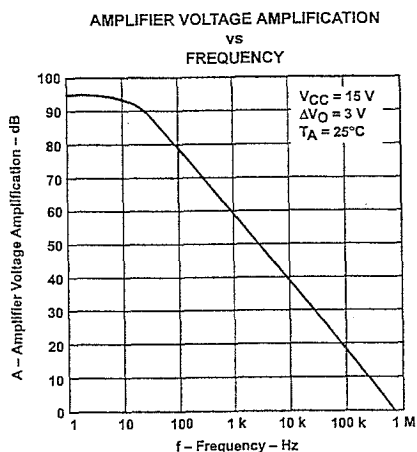


Figure 6

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

DT24/29

2953 AND 2954

Data Sheet
2953/9.2B

FULL-BRIDGE PWM MOTOR DRIVERS

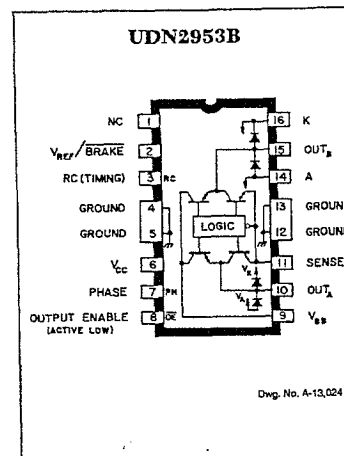
The UDN2953B and UDN2954W are designed for bidirectional control of dc or stepper motors with continuous output currents to 2 A and peak start-up currents as high as 3.5 A. For pulse-width modulated (chopped-mode) operation, the output current is determined by the user's selection of a reference voltage and sensing resistor while the OFF pulse duration is set by an external RC timing network. PWM operation is characterized by maximum efficiency and low power-dissipation levels. Extensive internal circuit protection includes thermal shutdown with hysteresis, transient-suppression diodes, and crossover current protection.

When the $V_{REF}/BRAKE$ pin is low (<0.8 V), the braking function is enabled. This turns both sink drivers OFF and the source drivers are turned ON. When $V_{REF}/BRAKE$ is set above 2.4 V, that voltage (and the current sensing resistor) determines the load current trip point. An RC TIMING pin is available to use for an internal one-shot to control load current decay time.

The UDN2953B driver is supplied in a 16-pin dual-in-line plastic package with copper heat-sink contact tabs. The lead configuration enables easy attachment of a heat sink while fitting a standard integrated circuit socket or printed wiring board layout. The UDN2954W, for higher package power dissipation requirements, is supplied in a 12-pin single in-line power tab package. In both package styles, the heat sink is at ground potential and needs no insulation.

FEATURES

- 50 V Output Voltage Rating
- 2 A Continuous Output Rating
- Internal Flyback Diodes
- Thermal Shutdown
- Crossover Current Protection
- BRAKE, ENABLE, and Current-Limit Functions



ABSOLUTE MAXIMUM RATINGS at $T_J \leq +150^\circ\text{C}$

Motor Supply Voltage, V_{BB}	50 V
Output Current, I_{OUT}	
(Peak)	± 3.5 A
(Continuous)	± 2.0 A
Flyback Diode Voltage, V_K	V_{BB}
Minimum Clamp Diode Voltage,	
V_A	Ground
Logic Supply Voltage, V_{CC}	7.0 V
Logic Input Voltage,	
V_{PHASE} , V_{ENABLE}	V_{BB}
Sense Voltage, V_{SENSE}	1.5 V
Reference Voltage, $V_{REF}/BRAKE$	15 V
Package Power Dissipation,	
P_D	See Graphs
Operating Temperature Range,	
T_A	-20°C to $+85^\circ\text{C}$
Storage Temperature Range,	
T_S	-55°C to $+150^\circ\text{C}$

Always order by complete part number.

Part Number	Package
UDN2953B	16-Pin DIP
UDN2954W	12-Pin Power-Tab SIP

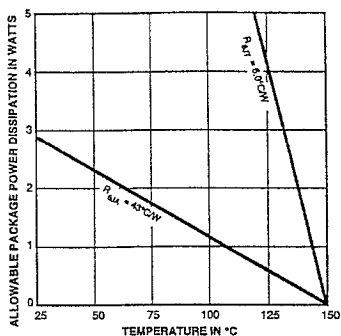
Allegro

DT25/29

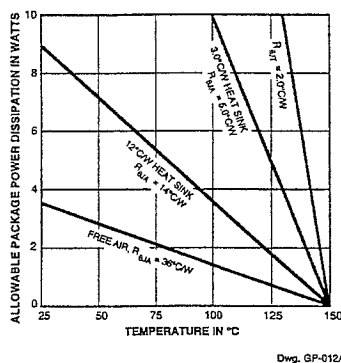
ELEST

2953 AND 2954 FULL-BRIDGE PWM MOTOR DRIVERS

UDN2953B



UDN2954W

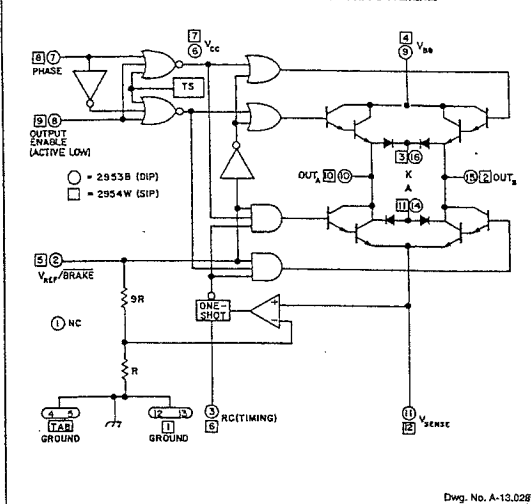


TRUTH TABLE

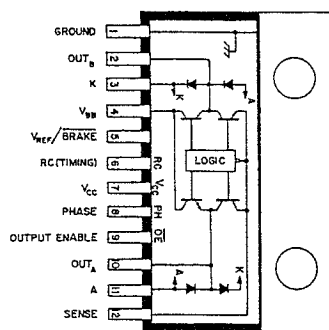
Output Enable	Phase	V _{REF} /BRAKE	Out _A	Out _B
Low	High	> 2.4 V	High	Low
Low	Low	> 2.4 V	Low	High
High	X	> 2.4 V	Open	Open
X	X	< 0.8 V	High	High

X = Irrelevant

FUNCTIONAL BLOCK DIAGRAM



UDN2954W



2953 AND 2954 FULL-BRIDGE PWM MOTOR DRIVERS

ELECTRICAL CHARACTERISTICS at $T_A = +25^\circ\text{C}$, $T_J \leq +150^\circ\text{C}$, $V_{BB} = 50\text{ V}$, $V_{CC} = 5\text{ V}$, $V_{\text{SENSE}} = 0\text{ V}$, $R_C = 20\text{ k}\Omega/470\text{ pF}$ to Ground.

Characteristic	Symbol	Test Conditions	Limits			
			Min.	Typ.	Max.	Units
Output Drivers (OUT _A or OUT _B)						
Output Supply Range	V _{BB}		6.5	—	50	V
Output Leakage Current	I _{CEX}	V _{ENABLE} = 5 V, V _{OUT} = V _{BB} * (note)	—	—	50	μA
		V _{ENABLE} = 5 V, V _{OUT} = 0 V, (note)	—	—	-50	μA
Output Sustaining Voltage	V _{CE(sus)}	I _{OUT} = ±2 A, L = 2 mH	50	—	—	V
Output Saturation Voltage	V _{CE(SAT)}	V _{ENABLE} = 0 V, I _{OUT} = ±0.5 A	—	1.0	1.2	V
		V _{ENABLE} = 0 V, I _{OUT} = ±1.0 A	—	1.2	1.4	V
		V _{ENABLE} = 0 V, I _{OUT} = ±2.0 A	—	1.5	1.8	V
Clamp Diode Leakage Current	I _R	V _R = 50 V	—	—	50	μA
Clamp Diode Forward Voltage	V _F	I _F = 2 A	—	1.8	2.2	V
Motor Supply Current	I _{BB(ON)} I _{BB(OFF)}	V _{ENABLE} = 0.8 V, V _{REF} = 2.4 V, No Load	—	20	30	mA
		V _{ENABLE} = V _{REF} = 2.4 V, No Load	—	2.5	3.5	mA
		V _{ENABLE} = 5 V, V _{REF} = 0.8 V, No Load	—	40	60	mA

Control Logic

Logic Supply Range	V_{CC}		4.5	5.0	5.5	V
Logic Input Current	$I_{\text{IN(1)}}$	All Inputs = 2.4 V	—	<-1.0	-10	μA
		All Inputs = 0.8 V	—	-50	-200	μA
Logic Input Voltage	$V_{\text{IN(1)}}$	All Inputs	2.4	—	—	V
		All Inputs	—	—	0.8	V
V_{REF} Open-Circuit Voltage	$V_{\text{REF(OPEN)}}$	$I_{\text{REF}} = 0$	—	$V_{CC}/2$	—	V
Current Limit Threshold		$V_{\text{REF}}/V_{\text{SENSE}}$ at Trip Point	9.5	10	10.5	—
Turn-On Delay	t_{on}	All Drivers	—	1.0	—	μs
Turn-Off Delay	t_{off}	All Drivers	—	1.0	—	μs
Thermal Shutdown Temp.	T_J		—	165	—	$^\circ\text{C}$
Logic Supply Current	I_{CC}	$V_{\text{ENABLE}} = V_{\text{REF}} = 2.4\text{ V}$	—	15	20	mA
		$V_{\text{ENABLE}} = 0.8\text{ V}$, $V_{\text{REF}} = 2.4\text{ V}$	—	22	30	mA

NOTE: Tests performed at OUT_B with $V_{\text{PHASE}} = 0.8\text{ V}$ and at OUT_A with $V_{\text{PHASE}} = 2.4\text{ V}$



115 Northeast Cutoff, Box 15036
Worcester, Massachusetts 01615-0036 (508) 853-5000
Copyright © 1986, 1993 Allegro Microsystems, Inc.

DT26/29

ELEST

DT27/29

ELEST

2953 AND 2954 FULL-BRIDGE PWM MOTOR DRIVERS

APPLICATIONS INFORMATION

The UDN2953B and UDN2954W full-bridge motion control ICs are designed for pulse-width-modulated (PWM) bidirectional interface to many types of dc (brush) servo, brushless dc, and 2-phase stepper motors. These power ICs permit various techniques of direct motor interface and offer internally and externally programmed current control. Pulse-width-modulated output current can be regulated by an (external) PWM control signal or use of an external sensing resistor (R_{SENSE}) in combination with an RC network and/or voltage reference.

The output current trip point or sense resistor formulas are:

$$I_{TRIP} = \frac{V_{REF}}{10 R_{SENSE}}$$
$$R_{SENSE} = \frac{V_{REF}}{10 I_{TRIP}}$$

The allowable reference voltage range is from 2.4 V to 15 V. If unconnected, the reference input (V_{REF}) defaults to $V_{CC}/2$ (refer to Figure 1) and $I_{TRIP} = 0.5$ A (per typical application where $R_S = 0.5 \Omega$).

When the motor current attains the specified design value, the internal comparator triggers the monostable ("one-shot") multivibrator, which disables (switches OFF) the sink (lower) output. The actual load current may vary slightly, and the difference is (chiefly) related to the circuit propagation delays between comparator (trip point) command and power output switching. Applications involving very-low inductance windings may necessitate specific consideration; typical circuit delays (t_d) are about 2 μ s.

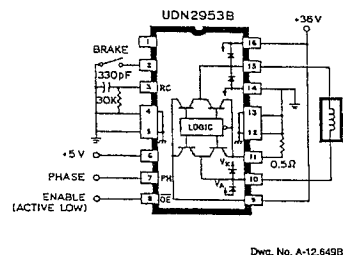
After the sink ('low-side') output is switched OFF, motor current starts to decay, and the circulation path is through the ON source (upper) drive output and the flyback diode protecting the sink (lower) output. The output OFF interval is set by an external RC timing network connected to the monostable. The magnitude of the current decay is directly related to the OFF period and the duration should allow the current level to drop below the trip point before reactivating the sink output. This ON-OFF PWM cycle repeats, sustaining the desired average current to the motor winding, and continues free-running until a new input command switches the output state. The RC network values range from 20 k Ω to 100 k Ω for resistors, and capacitor values from 200 pF to 500 pF. The parallel RC network establishes the t_{OFF} interval and directly affects the decaying motor current.

Internal timing circuitry is an alternative to the external RC timing network. However, with internal timing the logic supply current rises approximately 6 mA. Connecting the RC input to the logic supply activates internal circuitry; $t_{off} = 12 \mu s$ with $V_{CC} = +5 V$ and $T_A = +25^\circ C$, and increases with temperature.

The sink (lower) output is repeatedly re-enabled until the motor is reversed, braked, or stopped. Current control via pulse modulating the lower outputs is based on the dynamic characteristics of the much faster NPN Darlington outputs.

Another method of controlling motor current involves external circuitry to pulse modulate the OUTPUT ENABLE pin. Switching

TYPICAL APPLICATION



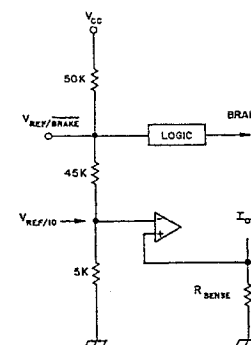
NOTE: Pin 3 must be connected to an AC network as shown, or to V_{CC} . It must **NOT** be left unconnected.

(toggle) the OUTPUT ENABLE affects both the sink (low-side) and upper (high-side) outputs. Both lower and upper transient-protection diodes conduct during the OFF interval. This method of operation produces very rapid current decay. The sink driver parallel diodes (common anode pin) are connected to ground; the source output flyback diodes (common cathode pin) are connected to the motor supply (V_{BB}). The RC input pin is to be terminated to ground through 20 k Ω (minimum).

The motor is braked by simultaneously activating both source driver outputs and disabling both sink outputs. Basically, this shorts both terminals of the motor winding to the supply. The back EMF (electromotive force) of the motor develops current which functions as a dynamic brake. Typically, the braking current approaches the values related to a locked rotor (or stall) condition. Fundamentally, locked rotor (or stall) current is dependent upon the motor winding impedance and driver output ON characteristics. Internal current control circuitry is not operational during braking. Therefore, designers should exercise caution to ensure that the current produced by the back EMF does not exceed the absolute maximum ratings of the power outputs.

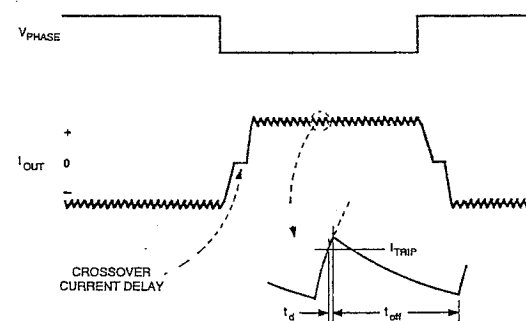


Figure 1



Dwg. No. A-13.025

Figure 2



Dwg. WM-003-1

CURRENT CONTROL OPTIONS

	Circuit Terminal			
Control Option	V _{REF} /BRAKE	RC (TIMING)	V _{SENSE}	OUTPUT ENABLE
No PWM	V _{CC} or High	≥20 kΩ to Ground	Ground	Low
PWM with Internal Timing	V _{CC} or High	V _{CC}	R _{SENSE}	Low
PWM with External Timing	2.4 V or 15 V* or V _{CC}	20-100 kΩ/200-500 pF	R _{SENSE}	Low
External PWM	V _{CC} or High	≥20 kΩ to Ground	R _{SENSE} †	Toggle†

* Programmed reference, i.e., A/D converter.

† Primarily, closed-loop speed and/or current control applications. I_{TRIP} can be peak (or default) limit for protecting motor and/or driver IC.

In bidirectional drive applications, especially dc (brush) servos, the PHASE input is utilized for direction control. The current generated by back EMF at reversal is comparable to that of dynamic braking, and should be limited to the absolute maximum output current rating.

An internally generated deadline (approximately 3 μ s) precludes the high cross-over (or "shoot-through") currents associated with momentary, overlapping conduction of both upper and lower outputs. This very abrupt, coincident-ON mode occurs with change of direction (PHASE reversal) and/or dynamic braking.

Integrated thermal shutdown protection circuitry switches OFF all power outputs should the junction temperature exceed +165°C (typical). The thermal protection is designed to avoid power IC failures stemming from extreme, excessive junction heating. Thermal shutdown self protection does not afford a proper safeguard from shorted load and/or shorted output conditions, and should not be operated as such. The thermal self-protection circuitry has a (typical) hysteresis of 8°C.

The printed wiring board should utilize a large, heavy ground plane. To optimize power IC performance, the package should be soldered directly into the circuit board. The ground side of R_3 should have an individual path to the ground terminal(s) of the device. Also, the load supply (V_{BB}) should be closely decoupled with an electrolytic capacitor of between 10 μF and 100 μF (typically $\geq 47 \mu\text{F}$) depending on printed wiring board layout.

B.T.S. ELECTRONIQUE

SESSION 2003

ETUDE D'UN SYSTEME TECHNIQUE

SYSTEME DE DISTRIBUTION DE CARTES D'ENTREE DE PISCINE

ATTENTION : Ce livret est à insérer dans une copie.

DOSSIER QUESTIONS ET REPONSES

Ce dossier comporte 20 pages

Si les emplacements réservés pour les réponses se révèlent insuffisants, le
candidat utilisera la feuille blanche en vis-à-vis.

A – DISTRIBUTION DE CARTE D'ENTREE DE PISCINE

Documents utilisés : DP2 à DP10.

Nous allons pour la partie « Production, Impression et Distribution de cartes d'entrée de piscine » de la fonction d'usage, caractériser les différentes étapes de la fabrication d'une carte à tarif réduit.

Un nageur est en train d'acheter une carte d'entrée de piscine à tarif réduit. Il a terminé le paiement et validé la transaction.

Une carte à tarif réduit va être fabriquée par le «Distributeur de cartes de piscine » en un certain nombre d'étapes.

A.1 – Donner dans l'ordre les différentes actions, associées à chacune des étapes de fabrication d'une carte à tarif réduit.

- 1. Dérouler la bobine de carton
- 2. ...
-

A.2 - Pour les différentes étapes de la fabrication d'une carte à tarif réduit, compléter le tableau. Indiquer l'action, la condition d'entrée, la condition de sortie et l'état de la matière d'œuvre en fin d'étape.

Etape	Action	Condition entrée	Condition sortie	Etat matière d'œuvre en fin de tâche
1.	<i>Dérouler la bobine de papier</i>	<i>FBOB1 actif</i>	<i>LONGV actif</i>	<i>Bande de papier cartonné bleu déroulé</i>
2.	...	...	...	...
...				

B – LECTURE DE LA BANDE MAGNETIQUE D'UNE CARTE D'ENTREE DE PISCINE : FP6

Documents utilisés : schéma fonctionnel de degré 2 : DP14 et schéma structurel : DP15 de FP6.

L'étude va permettre de valider les structures intervenant dans la lecture de la piste d'une carte.

B.1 - Préliminaire pour déterminer la forme des signaux délivrés par la bobine de lecture de la tête magnétique (fonction FS6.1).

Dans la réalité, les changements de sens de B, 'inscrit' sur la piste, se font avec une pente +a et -a. En effet, l'inversion du courant I 'inscrivant' le champ magnétique ne peut être instantanée, et la carte défile devant la tête.

On sait que : $\text{fém} = -k_1 \frac{dB}{dt}$

Pour cette question on prend : $k_1 = 1$, ce qui ne change rien à la forme des courbes.

Donc : $\text{fém} = -\frac{dB}{dt}$ fém est la tension induite dans la bobine de lecture de la tête.

La bobine est connectée aux points 5 et 4 du connecteur P3. Le condensateur C3 est un court-circuit pour le régime dynamique. La tension TT 1 LECT 1 est référencée par rapport à la masse.

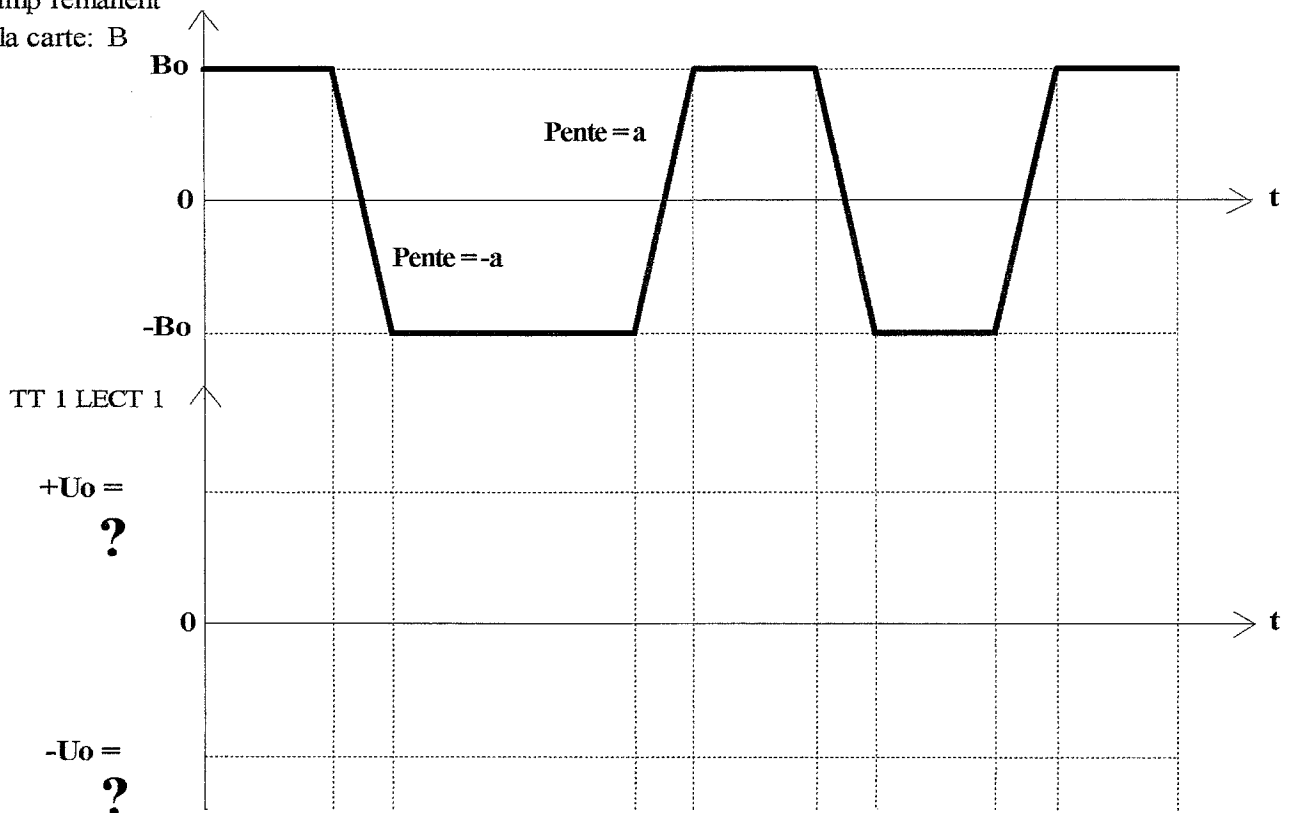
$$\Rightarrow \text{TT 1 LECT 1} = -\frac{dB}{dt}$$

On suppose que l'impédance d'entrée de la structure d'amplification (U5) est très grande devant l'impédance de sortie de la tête de lecture.

B.1.1 - Compléter le chronogramme page suivante.

B.1.2 - Déterminer la valeur littérale de U_0 ?

Champ rémanent
sur la carte: B



TT 1 LECT 1 est la tension sur la broche 5 du connecteur P3.

B.2 - Conditionnement du signal de la tête de lecture (FS6.2).

Au signal utile, très faible, délivré par la tête, se superposent des bruits électriques, d'origines et de spectres différents : irrégularités géométriques de la piste magnétique, bruit de fond dû à la nature particulière des composants ferromagnétiques de la piste, inductions dans la bobine de la tête, par des champs électromagnétiques externes (ondes Hertziennes, lignes du secteur . . .), ou internes (alimentation à découpage, commutations des circuits logiques . . .). Le rôle de la structure autour de U5 est d'amplifier et de "nettoyer" le signal utile.

B.2.1 - Identifier le type de fonction réalisée par chacun des amplificateurs opérationnels du circuit intégré U5.

B.2.2 - Le circuit U5 étant alimenté en asymétrie (5V), pour que la sortie (broche 8) puisse évoluer de manière symétrique, un décalage statique est produit par l'intermédiaire de la broche 10. Calculer cette tension de repos U_{so} (broche 8).

B.2.3 - Recherche du diagramme asymptotique dans le plan de Bode de la fonction de transfert de la structure réalisée autour du circuit U5. Les amplificateurs opérationnels sont idéalisés.

Soit $A_1(\omega)$: la fonction de transfert entre TT 1 LECT 1 et la broche 14.

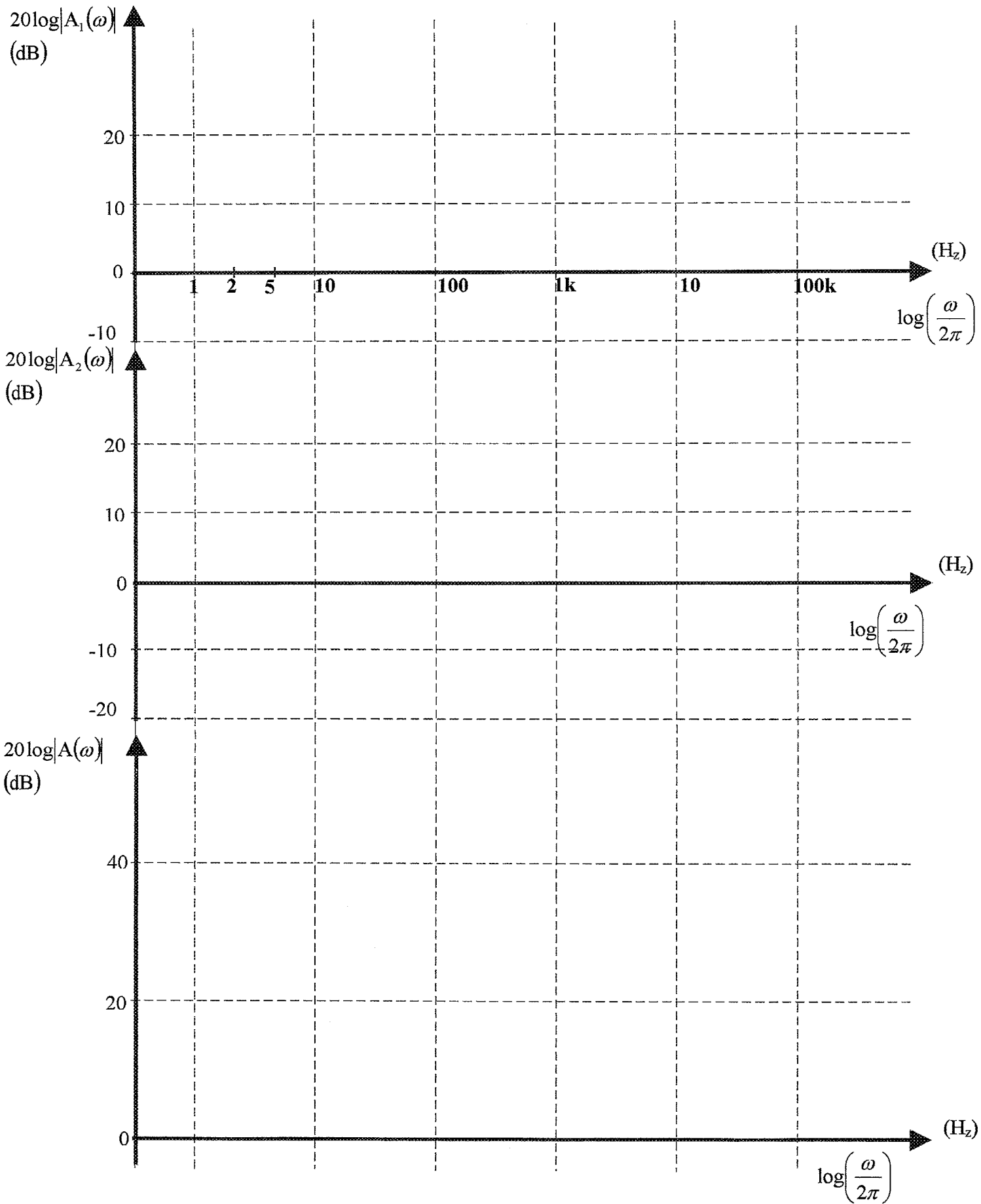
Soit $A_2(\omega)$: la fonction de transfert entre la broche 14 et la broche 8.

Soit $A(\omega)$: la fonction de transfert entre TT 1 LECT 1 et la broche 8.

B.2.3 1 - Exprimer $A_1(\omega)$ et tracer, page suivante, l'allure du diagramme asymptotique de : $20 \log |A_1(\omega)|$. Calculer puis inscrire sur le diagramme les valeurs littérales et numériques caractéristiques : gain, pente en dB/décade, fréquence de coupure.

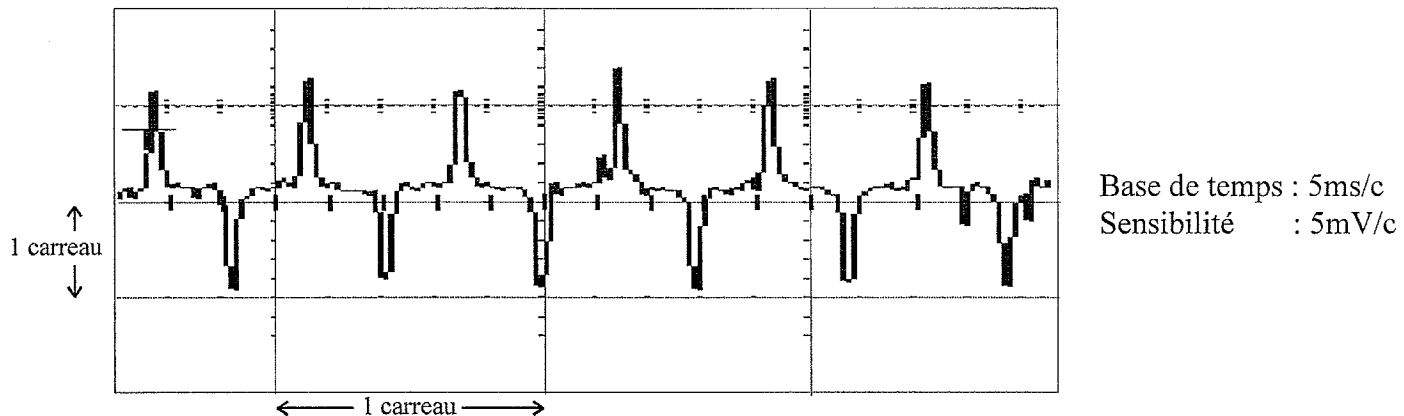
B.2.3 2 - Exprimer $A_2(\omega)$ et tracer, page suivante, l'allure du diagramme asymptotique de : $20 \log |A_2(\omega)|$. Calculer puis inscrire sur le diagramme les valeurs littérales et numériques caractéristiques : gain, pente en dB/décade, fréquences de coupure.

B.2.3 3 - Construire, page suivante, l'allure du diagramme asymptotique de : $20 \log |A(\omega)|$. Inscrire sur le diagramme les valeurs littérales et numériques caractéristiques : gain, pente en dB/décade, fréquences de coupure.



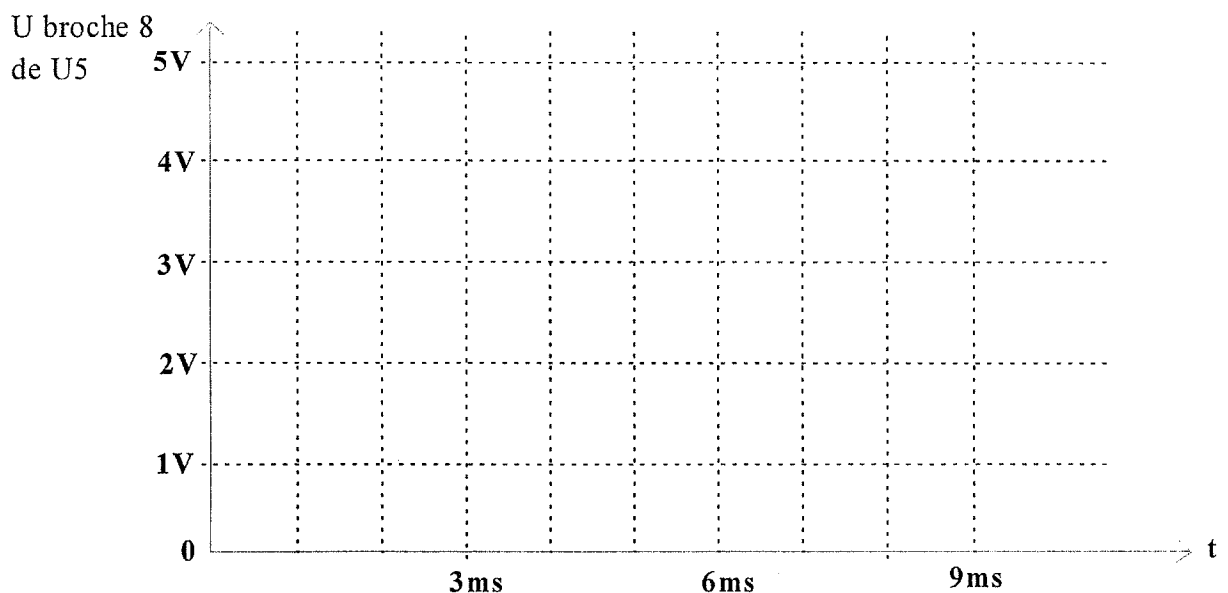
B.2.4 - Reconstitution du signal complet sur la broche 8 de U5 lors de la lecture d'une carte.

B.2.4.1 - L'oscillogramme représente le signal délivré par la tête magnétique, lors de la lecture d'une carte. C'est la tension relevée au point: TT 1 LECT 1.



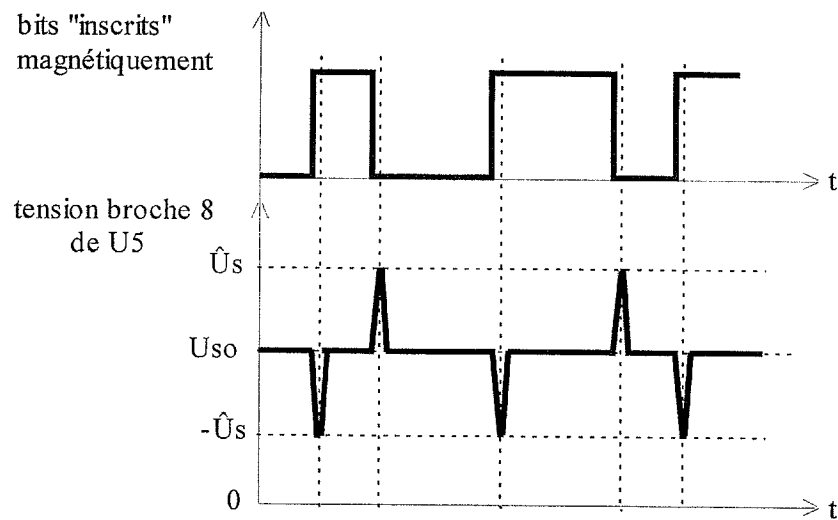
Estimer la fréquence du fondamental, et comparer cette valeur à la bande passante globale de la fonction FS6.2. Le choix de la bande passante est-il correct ? Justifier la réponse.

B.2.4.2 - La courbe à tracer qui suit, va représenter le signal de l'oscillogramme précédant après traitement par U5, sur sa sortie 8. La courbe sera idéalisée, et l'amplitude des impulsions en sortie est d'environ 1,5 Volt. Représenter l'allure du signal complet (composante variable autour de la composante continue) sur la broche 8 de U5. On ne représentera que deux périodes. La valeur de U_{S0} (réponse de la question B.2.2) sera indiquée, ainsi que les valeurs extrêmes atteintes par la tension de la broche 8 de U5.



B.3 - Mise en forme du signal amplifié de la tête magnétique (FS6.3, FS6.4 et FS6.5).

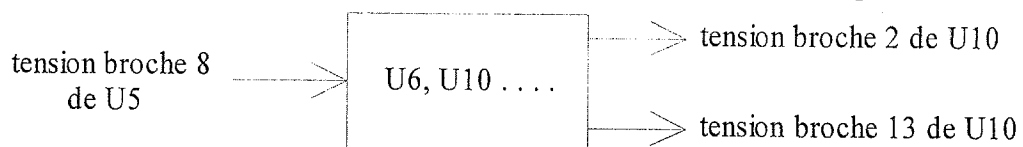
Le travail précédent aura permis de faire le rapprochement entre les bits écrits sous forme magnétique sur la carte, et le signal amplifié (par U5) de la tête de lecture.



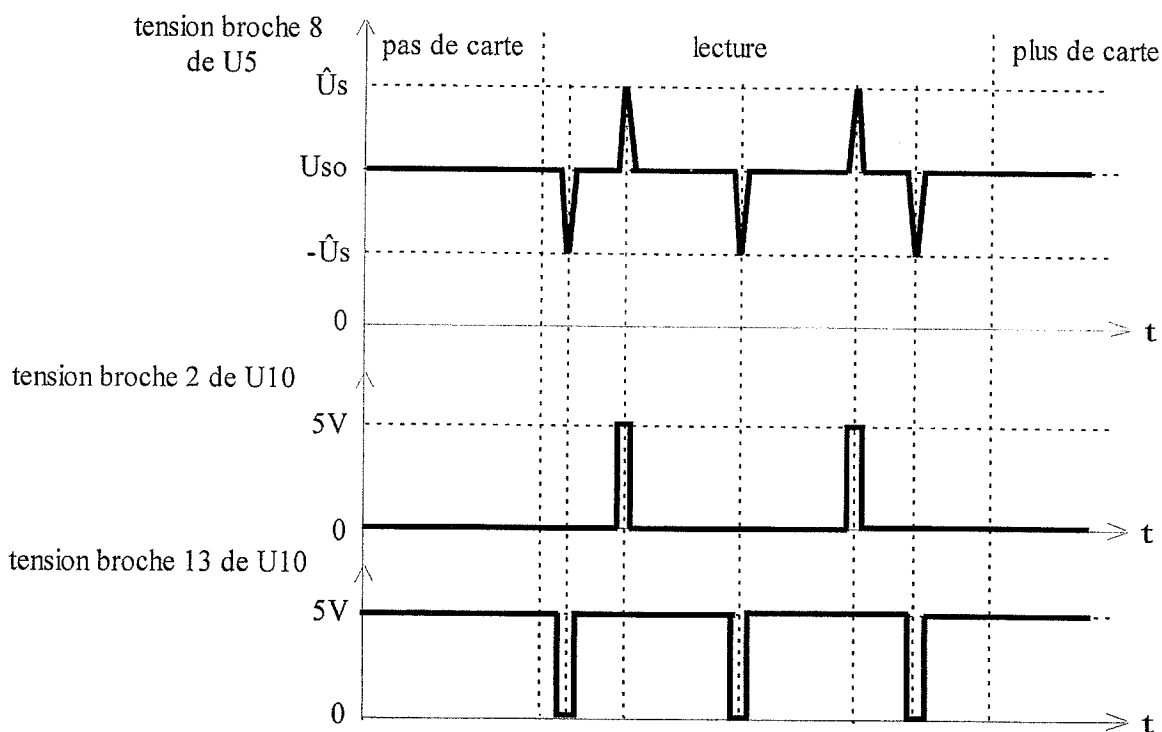
Une première étape va consister à transformer les impulsions positives et négatives fournies par U5 en niveaux logiques.

Les circuits U6, U10, et les composants associés, réalisent cette fonction par comparaison de la tension de la broche 8 de U5 à des seuils.

Les relevés suivants montrent le comportement de cette structure, qui ne sera pas étudiée ici.

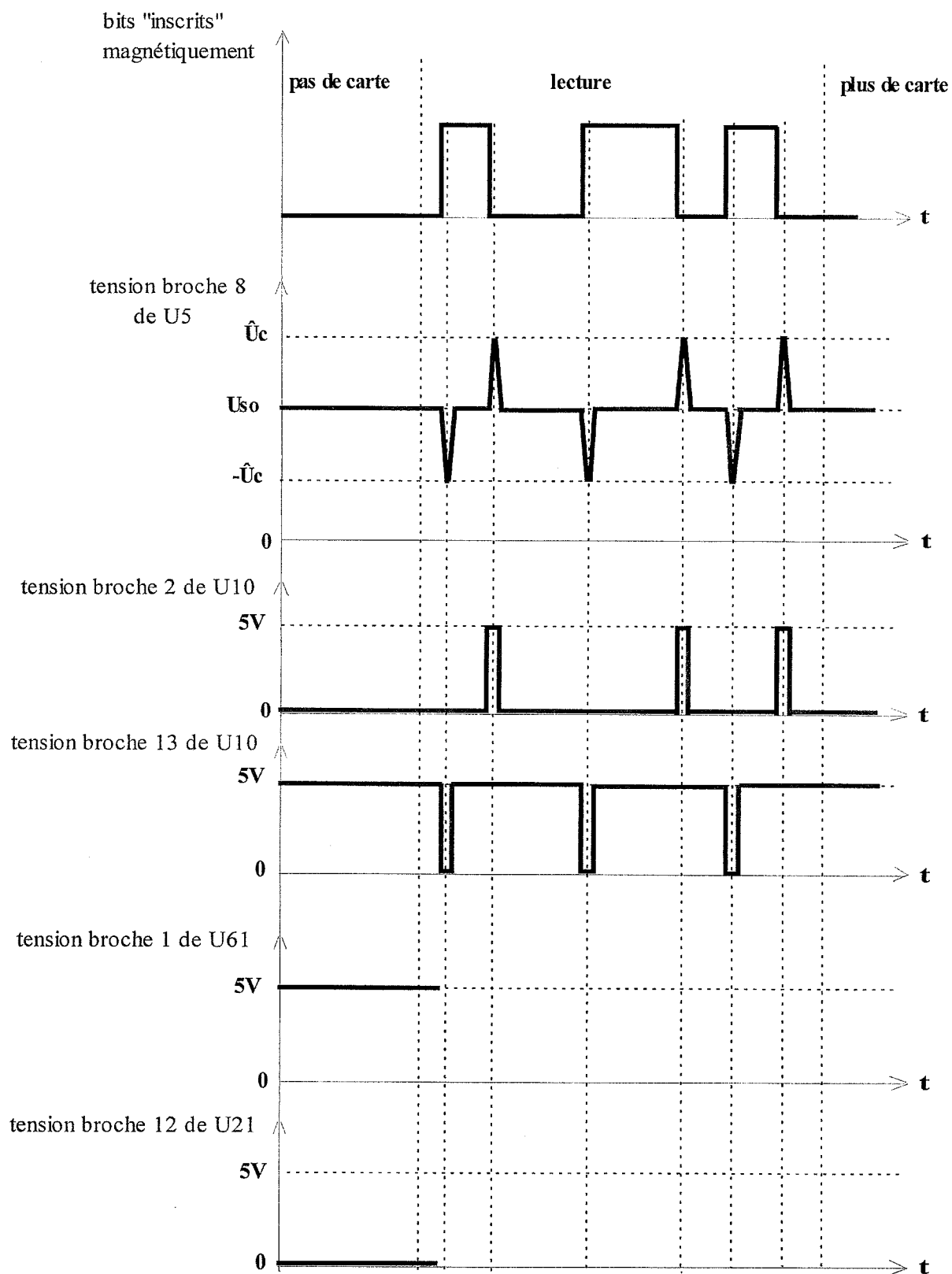


Une deuxième étape va être le traitement des informations délivrées par les broches 2 et 13 de U10. C'est le rôle de l'ensemble U21, U61, U63.



B.3.1 - Quel est le nom courant de la fonction réalisée par U61, et U63?

B.3.2 - Compléter le chronogramme suivant :

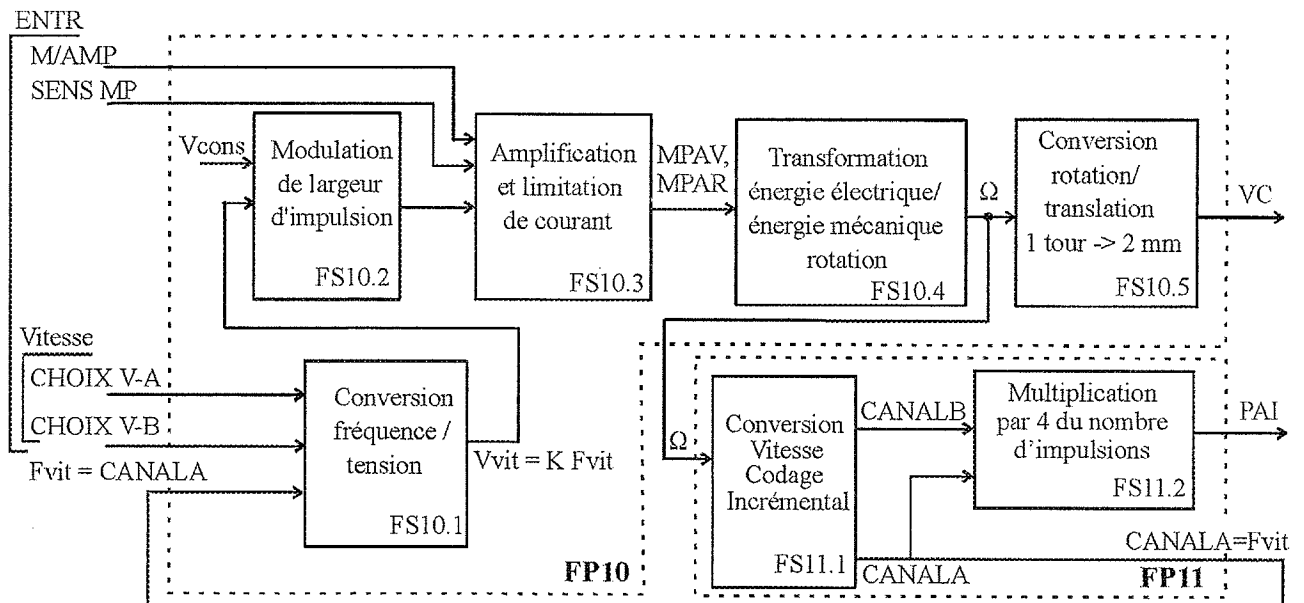


C – ASSERVISSEMENT DE VITESSE DU MOTEUR D'ENTRAÎNEMENT PRINCIPAL : FP10 et FP11.

Documents utilisés : schéma fonctionnel de degré 2 de FP10 et FP11 page DP18 et schéma structurel de FP10 et FP11 page DP19.

Mise en situation : A partir d'une tension image de consigne (V_{cons}) fixe, le moteur principal d'entraînement de courroies est régulé en vitesse pour trois vitesses différentes sélectionnées par les entrées de commande CHOIX V-A et CHOIX V-B.

- ❑ *La vitesse rapide : $VC = 190 \text{ mm/s}$. C'est la vitesse générale d'utilisation : écriture et lecture magnétique et déplacement de la carte entre les différentes zones de traitement.*
- ❑ *La vitesse moyenne : $VC = 160 \text{ mm/s}$. C'est la vitesse pour l'impression à impacts de la carte.*
- ❑ *La vitesse lente : $VC = 33 \text{ mm/s}$. C'est la vitesse qui sert à faire reculer la carte pour une relecture ou pour un éventuel déburrage.*



La transformation énergie électrique/mécanique est assurée par un moteur à courant continu de référence ESCAP 28LT12-219P.49.

La fonction Conversion Vitesse Codage Incrémental est réalisée par un codeur optique incrémental à deux voies ayant chacune une résolution de 100 impulsions par tour.

La fonction conversion fréquence/tension est réalisée avec un circuit conversion tension/fréquence monté en fréquence/tension.

On se propose de déterminer les principaux composants permettant de paramétrer l'asservissement conformément au cahier des charges.

C.1 - Repérer sur le schéma structurel page suivante les fonctions FS10.1, FS10.2 et FS10.3.

C.2 - Etude des fonctions secondaires FS10.1 et FS10.2 : conversion fréquence/tension et modulation de largeur d'impulsion.

Le circuit intégré TL 494 et ses composants associés :

- fournissent une consigne fixe avec R164, R156 et R158.
- réalisent la comparaison entre la consigne et la vitesse mesurée.
- fournissent un signal dont le rapport cyclique variable est proportionnel à l'écart entre la consigne et la vitesse mesurée.

Pour les questions suivantes, le gain de la chaîne directe est suffisamment important pour pouvoir considérer que l'erreur statique est nulle lorsque la vitesse est atteinte (c'est-à-dire que la tension de consigne est égale à la tension de mesure de vitesse quelque soit la vitesse souhaitée).

C.2.1 – On fait varier le coefficient K du convertisseur fréquence/tension qui situé dans la chaîne de retour, permet la mesure de la vitesse réelle du moteur. Compléter le tableau en donnant la formule littérale exprimant K en fonction des caractéristiques des composants qui réalisent cette fonction.

Choix de la Vitesse	Choix V-A	Choix V-B	Coefficient K
Vitesse rapide	0	0	$K_{vr} =$
Vitesse moyenne	0	1	$K_{vm} =$
Vitesse lente	1	0	$K_{vl} =$

C.2.2 - Pour la vitesse rapide, calculer la valeur numérique du coefficient K du convertisseur fréquence/tension, notée K_{vr} issu de la relation : $V_{vit} = K \cdot F_{vit}$.

C.2.3 - Calculer F_{vit} puis V_{vit} lorsque l'asservissement est stabilisé pour la vitesse rapide.

C.2.4 - Calculer R154 pour obtenir la vitesse moyenne de 160 mm/s.

C.2.5 - Calculer R155 pour obtenir la petite vitesse de 33 mm/s.

C.2.6 – En consultant la documentation du circuit TL494 : déterminer la fréquence d'oscillation du modulateur de largeur d'impulsion.

C.3 - Le module amplification a trois fonctions :

- ☐ Mise en marche du moteur : M/A MP (signal 0 – 5V).
- ☐ Contrôle du sens de rotation : SENS MP (signal 0 – 5V).
- ☐ Limitation du courant au démarrage du moteur.

C.3.1. Calculer la valeur du courant délivré par le circuit intégré au démarrage du moteur.

C.3.2 - Comparer cette valeur de courant de limitation au courant supporté par le moteur et au courant supporté par le circuit intégré. Peut-on laisser le moteur sous tension en cas de blocage de celui-ci ?

C.3.3 - A grande vitesse le moteur est alimenté sous sa tension nominale. Calculer le rapport cyclique fourni par l'étage modulation de largeur d'impulsion (les tensions de déchet de l'étage de puissance seront considérées comme négligeable)

D – REINDUSTRIALISATION DE LA FONCTION « GESTION PROGRAMMEE DE LA PRODUCTION ET DE LA LECTURE DE CARTES D'ACCES, DE L'IMPRESSION DE TIKETS DE CAISSES ET DE L'AFFICHAGE DES INFORMATIONS VISUELLES » : FP2.

Documents utilisés : schéma fonctionnel de degré 2 de FP2 page DP12 et schéma structurel page DP13.

Mise en situation :

Le distributeur des cartes est produit en faible quantité : 200/an.

Des difficultés d'approvisionnement pour le microcontrôleur 68HC11A0 apparaissent. En effet ce composant est en phase d'obsolescence.

On décide de réactualiser la partie électronique, sachant qu'une nouvelle version du distributeur est prévue pour janvier 2004.

La réactualisation de la carte a le cahier des charges suivant :

- ☐ *Programme du microcontrôleur identique.*
- ☐ *Configuration compatible des entrées/sorties.*
- ☐ *Câblage identique.*

D.1 - Caractérisation des structures matérielles constituant la fonction FP2.

D.1.1 - Mémorisation : fonction FS2.4 et FS2.5

Donner la capacité des mémoires utilisées dans FS24 et FS25

Référence	Composant	Taille mémoire en Koctets	Signaux de sélection
U47	62256		
U48	27C101G		

D.1.2 - Etude du processus d'écriture en RAM Protégée.

La mémoire RAM (U47) possède deux zones distinctes accessibles par le microprocesseur :

- Une zone dite « RAM de travail » accessible en lecture et écriture simples.
- Une zone dite « Protégée » en lecture simple et écriture protégée. .

En utilisation « RAM de travail » :

- Il sera possible d'écrire ou bien lire la mémoire sans aucune séquence spéciale.

En utilisation « Protégée »:

- Il ne sera possible d'écrire dans cette mémoire que si au préalable, une lecture à une adresse (\$01C0) est effectuée.
- Lors d'une lecture à l'adresse \$01C0, le signal DATASEC passe au niveau "1".
- L'écriture dans la zone « protégée » doit alors se faire à la prochaine instruction d'écriture.
- Aussitôt l'écriture effectuée, la mémoire se retrouve protégée en écriture.

On se propose d'étudier le schéma structurel afin de déterminer les adresses de début et de fin et de chaque zone mémoire RAM.

Sachant que : VALID ECR=0 si l'on écrit en zone « RAM de travail ».

VALID ECR=1 si l'on écrit en zone « Protégée ».

D.1.2.1 - Chronogramme de DATASEC

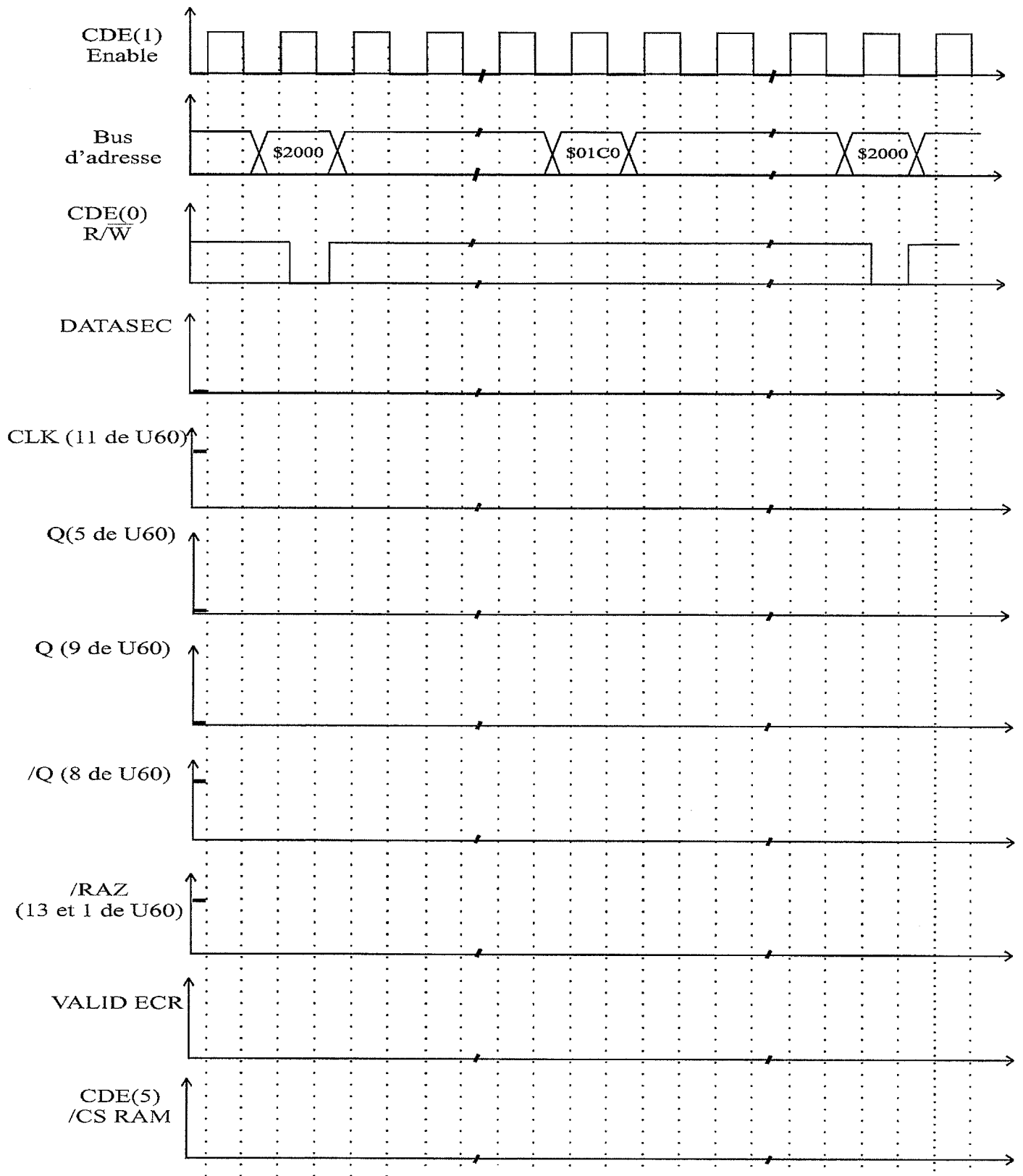
Compléter le chronogramme du signal DATASEC sur la page suivante.

D.1.2.2 - Tracé des chronogrammes

Sachant que :

- le signal CDE(3) est à 1 durant l'étude.
- Les données provenant du microprocesseur sont valides lorsque le signal CDE(1)=1 :

Compléter les chronogrammes donnés page suivante.



D.2 – Réactualisation de la fonction FP2.

Compte tenu du cahier des charges, les modifications sont les suivantes :

- **FS2.1** : Remplacer le microcontrôleur 68HC11A0 par un 68HC11D0 en boîtier 44-QFP. Le circuit HC573 est intégré dans le circuit programmable.
- **FS2.2, FS2.3, FS2.6** : Remplacer les différents circuits logiques et les interfaces parallèles HD63821 par un circuit logique programmable.
- **FS2.7 et FS2.8** : Remplacer la gestion de l'initialisation (RESET) et de la sauvegarde de la mémoire RAM par un circuit spécialisé.

Le projet du circuit logique programmable est construit à partir d'un schéma, qui reprend en partie le schéma fonctionnel de degré 2 de FP2. Les fonctions secondaires sont développées en langage VHDL, nous allons nous intéresser uniquement à la fonction FS2.2.

D.2.1 - Pour la fonction FS2.2 compléter la partie déclaration des ports en sachant qu'ils sont de type SDT_LOGIC.

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY fs22 IS
    PORT(

        );
END fs22;
```

D2.2 - Donner les équations logiques des signaux CDE(7) et DATASEC.

D2.3 - Compléter l'architecture de FS2.2 pour les signaux CDE(7) et DATASEC.

```
ARCHITECTURE a_fs22 OF fs22 IS
```

```
BEGIN
```

```
END a_fs22;
```